OPAx182 36V、5MHz、低噪声、零漂移、多路复用器友好型精密运算放大器

1 特性

- 超高精度：
  - 零漂移：0.003 μV/°C
  - 超低失调电压：4 μV（最大值）
- 出色的直流精度：
  - CMRR：168dB
  - 开环增益：170dB
- 低噪声：
  - 1kHz 时，e_n 为：5.7nV/ $\sqrt{Hz}$
  - 0.1Hz 至 10Hz 噪声：0.12μV_{PP}
- 出色的动态性能：
  - 增益带宽：5MHz
  - 压摆率：10V/μs
  - 快速稳定：10V 阶跃，0.01%，1.7μs
- 强大设计：
  - 多路复用器友好型输入
  - 输入已滤除 RFI 和 EMI
- 宽电源电压：±2.25V 至 ±18V，4.5V 至 36V
- 静态电流：0.85mA
- 轨至轨输出
- 输入包括负电源轨

2 应用

- 电池测试
- 直流电源、交流电源、电子负载
- 数据采集 (DAQ)
- 半导体测试
- 称重计
- 模拟输入模块
- 流量发送器

3 说明

OPA182、OPA2182 和 OPA4182 (OPAx182) 是超低噪声、快速稳定、零漂移、高精度运算放大器。这些器件提供轨到轨输出操作，并具有独特的多路复用友好型架构和受控启动系统。这些器件还具有出色的交流性能，以及仅 0.45μV 的失调电压和 0.003μV/°C 的温度漂移。所有这些特性使 OPAx182 成为数据采集、电池测试、模拟输入模块、称重秤，以及任何其他需要高直流精度和低噪声的系统的理想选择。

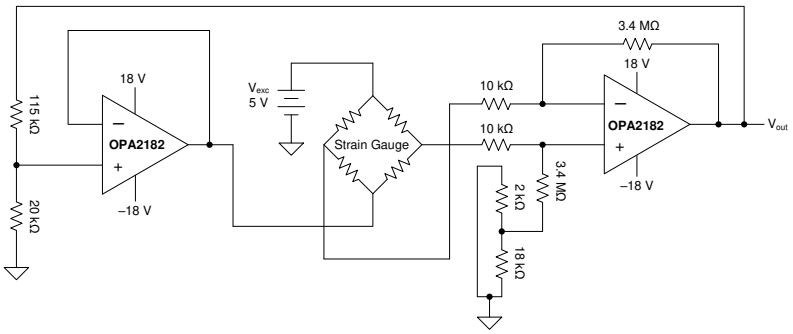
支持多路复用器的输入架构可在施加较大的输入差分电压时防止产生浪涌电流，从而提高了多通道系统的趋稳性能。此外，控制启动系统可在升高电源轨电压时抑制浪涌电流，同时在运输、装卸和组装期间提供强大的 ESD 保护。

该器件的额定温度范围为 –40°C 至 +125°C。

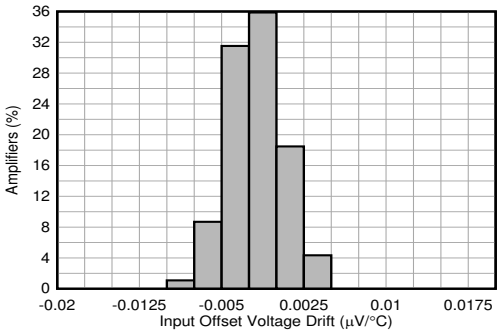
封装信息

器件型号	封装(1)	封装尺寸（标称值）
OPA182	D (SOIC, 8)	4.90mm x 3.90mm
	DBV（SOT-23，5）	2.90mm x 1.60mm
OPA2182	D (SOIC, 8)	4.90mm x 3.90mm
	DGK（VSSOP，8）	3.00mm x 3.00mm
OPA4182	D（SOIC，14）	8.65mm x 3.91mm
	PW（TSSOP，14）预发布	5.00mm x 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



OPA2182 桥式传感器应用



OPAx182 温漂

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 器件比较表 3
6 引脚配置和功能 4
7 规格 6
7.1 绝对最大额定值 6
7.2 ESD 等级 6
7.3 建议运行条件 6
7.4 热性能信息：OPA182 7
7.5 热性能信息：OPA2182 7
7.6 热性能信息：OPA4182 7
7.7 电气特性 8
7.8 典型特性 10
8 详细说明 18
8.1 概述 18
8.2 功能方框图 18
8.3 特性说明 19
8.4 器件功能模式 22
9 应用和实现 23
9.1 应用信息 23
9.2 典型应用 23
9.3 电源相关建议 29
9.4 布局 29
10 器件和文档支持 31
10.1 器件支持 31
10.2 文档支持 31
10.3 接收文档更新通知 31
10.4 支持资源 31
10.5 商标 32
10.6 Electrostatic Discharge Caution 32
10.7 术语表 32
11 机械、封装和可订购信息 32

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (December 2021) to Revision E (August 2022) — **Page**

- 将 OPA182 DBV (SOT-23) 封装从预发布更改为正在供货，并添加了相关内容 1

Changes from Revision C (January 2021) to Revision D (December 2021) — **Page**

- 添加了 OPA182 和 OPA4182 量产数据（正在供货）器件和相关内容 1

Changes from Revision B (July 2020) to Revision C (January 2021) — **Page**

- 将 VSSOP-8 (DGK) 封装从预发布更改为量产数据（正在供货） 1

Changes from Revision A (May 2020) to Revision B (July 2020) — **Page**

- 向数据表添加了 VSSOP-8 (DGK) 预发布封装和相关内容 1
- 将容性负载驱动规格从“待定”更改为“请参阅“典型特性”” 8

Changes from Revision * (December 2019) to Revision A (May 2020) — **Page**

- 将器件状态从“预告信息（预发布）”更改为“量产数据（正在供货）” 1

Copyright © 2022 Texas Instruments Incorporated

5 器件比较表

产品	特性
OPA2189	0.4μV 失调电压，0.005μV/°C 温漂，5.2nV/ √Hz，轨到轨输出，36V，零漂移，支持多路复用器的 CMOS
OPA2188	6μV 失调电压，0.03μV/°C 温漂，8.8nV/ √Hz，轨到轨输出，36V，零漂移，支持多路复用器的 CMOS
OPA2187	1μV 失调电压，0.001μV/°C 温漂，100μA 静态电流，轨到轨输出，36V，零漂移 CMOS
OPA2388	0.25μV 失调电压，0.005μV/°C 温漂，7nV/ √Hz，10MHz，*true* 轨到轨输入/输出，5.5V，零漂移，零交叉 CMOS
OPA2180	120μV，10MHz，5.1nV/ √Hz，36V JFET 输入工业运算放大器

Copyright © 2022 Texas Instruments Incorporated

6 引脚配置和功能

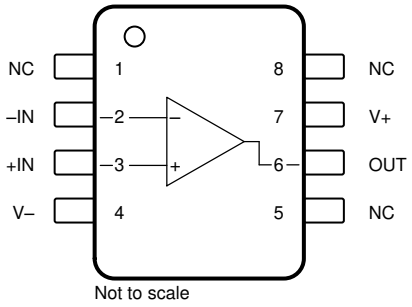


图 6-1. OPA182 D（8 引脚 SOIC）封装，顶视图

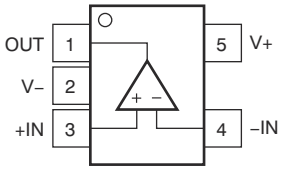


图 6-2. OPA182 DBV（5 引脚 SOT-23）封装，顶视图

表 6-1. 引脚功能：OPA182

引脚			类型	说明
名称	D (SOIC)	DBV (SOT-23)		
–IN	2	4	输入	反相输入
+IN	3	3	输入	同相输入
NC	1、5、8	—	—	未进行内部电路连接；可以悬空。
OUT	6	1	输出	输出通道
V–	4	2	Power	负电源
V+	7	5	电源	正电源

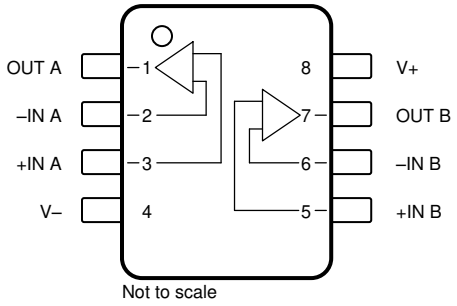


图 6-3. D（8 引脚 SOIC）和 DGK（8 引脚 VSSOP）封装，顶视图

表 6-2. 引脚功能：OPA2182

引脚		类型	说明
名称	编号		
–IN A	2	输入	反相输入通道 A
+IN A	3	输入	同相输入通道 A
–IN B	6	输入	反相输入通道 B
+IN B	5	输入	同相输入通道 B
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
V–	4	Power	负电源
V+	8	电源	正电源

Copyright © 2022 Texas Instruments Incorporated

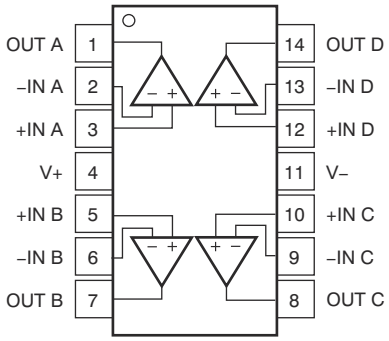


图 6-4. D（14 引脚 SOIC）和 PW（14 引脚 TSSOP，预发布）封装，顶视图

表 6-3. 引脚功能：OPA4182

引脚		类型	说明
名称	编号		
–IN A	2	输入	反相输入通道 A
+IN A	3	输入	同相输入通道 A
–IN B	6	输入	反相输入通道 B
+IN B	5	输入	同相输入通道 B
–IN C	9	输入	反相输入通道 C
+IN C	10	输入	同相输入通道 C
–IN D	13	输入	反相输入通道 D
+IN D	12	输入	同相输入通道 D
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
OUT C	8	输出	输出通道 C
OUT D	14	输出	输出通道 D
V–	11	电源	负电源
V+	4	Power	正电源

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_S	电源电压	单电源，V_S = (V+)		40	V
		双电源，V_S = (V+) – (V–)		±20	
	输入信号电压	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	
	电流			±10	mA
	输出短路(2)		持续	持续	
T_A	工作温度		-55	150	°C
T_J	结温			150	°C
T_{stg}	贮存温度		–65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	单电源，V_S = (V+)	4.5		36	V
		双电源，V_S = (V+) – (V–)	±2.25		±18	
T_A	工作温度		-40		125	°C

Copyright © 2022 Texas Instruments Incorporated

7.4 热性能信息：OPA182

热指标(1)		OPA182		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	112.9	138.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50.8	63.8	°C/W
$R_{\theta JB}$	结至电路板热阻	56.2	35.5	°C/W
Ψ_{JT}	结至顶部特征参数	10.1	17.1	°C/W
Ψ_{JB}	结至电路板特征参数	55.4	35.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.5 热性能信息：OPA2182

热指标(1)		OPA2182		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	108.1	150.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45.8	43.9	°C/W
$R_{\theta JB}$	结至电路板热阻	51.3	71.4	°C/W
Ψ_{JT}	结至顶部特征参数	7.2	2.9	°C/W
Ψ_{JB}	结至电路板特征参数	50.6	70.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.6 热性能信息：OPA4182

热指标(1)		OPA4182	单位
		D (SOIC)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻	112.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50.8	°C/W
$R_{\theta JB}$	结至电路板热阻	56.2	°C/W
Ψ_{JT}	结至顶部特征参数	10.1	°C/W
Ψ_{JB}	结至电路板特征参数	55.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2022 Texas Instruments Incorporated

7.7 电气特性

T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，且 R_{LOAD} = 10kΩ 连接至 V_S / 2（除非另外说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压				±0.45	±4	μV
		T_A = 0°C 至 85°C				±4	
		T_A=-40°C 至 +125°C				±4	
dV_{OS}/dT	输入失调电压漂移	T_A = 0°C 至 85°C	OPA182ID、OPA2182		±0.003	±0.012	μV/°C
			OPA182IDBV、OPA4182ID		±0.003	±0.020	
		T_A=-40°C 至 +125°C	OPA182ID、OPA2182		±0.003	±0.012	
			OPA182IDBV、OPA4182ID		±0.003	±0.020	
PSRR	电源抑制比	T_A = -40°C 至 +125°C	OPA182		±0.005	±0.07	μV/V
			OPA2182、OPA4182ID		±0.005	±0.05	
输入偏置电流							
I_B	输入偏置电流	Z_{IN} = 100 kΩ || 500 pF			±50	±350	pA
			T_A = 0°C 至 85°C			±1	nA
			T_A = –40°C 至 +125°C			±7	
I_{OS}	输入失调电流	Z_{IN} = 100 kΩ || 500 pF			±140	±700	pA
			T_A = 0°C 至 85°C			±2	nA
			T_A = –40°C 至 +125°C			±3	
噪声							
E_n	输入电压噪声	f = 0.1Hz 至 10Hz			18		nV_{RMS}
					0.119		$μV_{PP}$
e_n	输入电压噪声密度	f = 10Hz			5.7		nV/√Hz
		f = 100Hz			5.7		
		f = 1kHz			5.7		
		f = 10kHz			5.7		
i_n	输入电流噪声密度	f = 1kHz			165		fA/√Hz
输入电压							
V_{CM}	共模电压范围			(V–) – 0.1		(V+) – 2.5	V
CMRR	共模抑制比	(V–) – 0.1V ≤ V_{CM} ≤ (V+) – 2.5V	V_S = ±2.25V	120	140		dB
			V_S = ±18V，OPA182	141	168		
			V_S = ±18V，OPA2182、OPA4182ID	143	168		
		(V–) – 0.1V ≤ V_{CM} ≤ (V+) – 2.5V，T_A = –40°C 至 +125°C	V_S = ±2.25V	120			
			V_S = ±18V，OPA182、OPA2182	140			
		(V–) ≤ V_{CM} ≤ (V+) – 2.5V，T_A = –40°C 至 +125°C	V_S = ±18V，OPA4182ID	130			

Copyright © 2022 Texas Instruments Incorporated

7.7 电气特性 (continued)

T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，且 R_{LOAD} = 10kΩ 连接至 V_S / 2（除非另外说明）

参数		测试条件		最小值	典型值	最大值	单位
输入阻抗							
z_{id}	差分输入阻抗				0.1 || 3.7		GΩ || pF
z_{ic}	共模输入阻抗				60 || 2.3		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = ±18V，(V–) + 0.3V < V_O < (V+) – 0.3V，R_{LOAD} = 10kΩ	OPA182、OPA2182	150	170		dB
			OPA4182ID	145	170		
			T_A=-40°C 至 +125°C	146			
		V_S = ±18V，(V–) + 0.6V < V_O < (V+) – 0.6V，R_{LOAD} = 2kΩ	OPA182、OPA2182	150	170		
			OPA4182ID	145	170		
			T_A=-40°C 至 +125°C	140			
频率响应							
UGB	单位增益带宽	A_V = 1			3.6		MHz
GBW	增益带宽积	A_V = 1000			5		MHz
SR	压摆率	增益 = 1，10V 阶跃			10		V/µs
THD+N	总谐波失真 + 噪声	增益 = 1，f = 1kHz，V_O = 3.5V_{RMS}			0.00008%		
	串扰	OPA2182	在直流		150		dB
			f = 10kHz		120		
t_S	建立时间	达 0.1%	V_S = ±18V，增益 = 1，10V 阶跃		1.3		µs
		达 0.01%	V_S = ±18V，增益 = 1，10V 阶跃，下降		1.7		
			V_S = ±18V，增益 = 1，10V 阶跃，上升		3.4		
t_{OR}	过载恢复时间	V_{IN} × 增益 = V_S = ±18V			220		ns
输出							
V_O	自电源轨的电压输出摆幅	正电源轨	无负载		5	15	mV
			R_{LOAD} = 10kΩ		20	110	
			R_{LOAD} = 2kΩ		80	500	
		负电源轨	无负载		5	15	
			R_{LOAD} = 10kΩ		20	110	
			R_{LOAD} = 2kΩ		80	500	
		T_A = –40°C 至 +125°C，双电轨			20	120	
I_{SC}	短路电流				±65		mA
C_{LOAD}	容性负载驱动				请参阅“典型特性”		pF
Z_O	开环输出阻抗	f = 1MHz			320		Ω
电源							
I_Q	每个放大器的静态电流	V_S = ±2.25V 至 ±18V	T_A = 25°C		0.85	1	mA
			T_A = –40°C 至 +125°C			1.1	

Copyright © 2022 Texas Instruments Incorporated

7.8 典型特性

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

表 7-1. 典型特性图

说明	图表
失调电压产生分布	图 7-1
–40°C 至 125°C 的失调电压漂移分布	图 7-2
输入偏置电流产生分布图	图 7-3
输入失调电流产生分布	图 7-4
失调电压与温度间的关系	图 7-5
失调电压与共模电压间的关系	图 7-6
偏移电压与电源电压间的关系	图 7-7
开环增益和相位与频率间的关系	图 7-8
闭环增益与频率间的关系	图 7-9
输入偏置电流与共模电压间的关系	图 7-10
输入偏置电流和失调电流与温度间的关系	图 7-11
输出电压摆幅与输出电流（拉电流）间的关系	图 7-12
输出电压摆幅与输出电流（灌电流）间的关系	图 7-13
CMRR 和 PSRR 与频率间的关系	图 7-14
CMRR 与温度间的关系	图 7-15
PSRR 与温度间的关系	图 7-16
0.1Hz 至 10Hz 电压噪声	图 7-17
输入电压噪声频谱密度与频率间的关系	图 7-18
THD+N 比与频率间的关系	图 7-19
THD+N 与输出幅度间的关系	图 7-20
静态电流与电源电压间的关系	图 7-21
静态电流与温度间的关系	图 7-22
开环增益与温度间的关系 (10kΩ)	图 7-23
开环输出阻抗与频率间的关系	图 7-24
小信号过冲与容性负载间的关系（10mV 阶跃）	图 7-25、图 7-26
无相位反转	图 7-27
正过载恢复	图 7-28
负过载恢复	图 7-29
小信号阶跃响应（10mV 阶跃）	图 7-30、图 7-31
大信号阶跃响应（10V 阶跃）	图 7-32、图 7-33
建立时间	图 7-34
短路电流与温度间的关系	图 7-35
最大输出电压与频率间的关系	图 7-36
EMIRR 与频率之间的关系	图 7-37
通道分离	图 7-38

Copyright © 2022 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

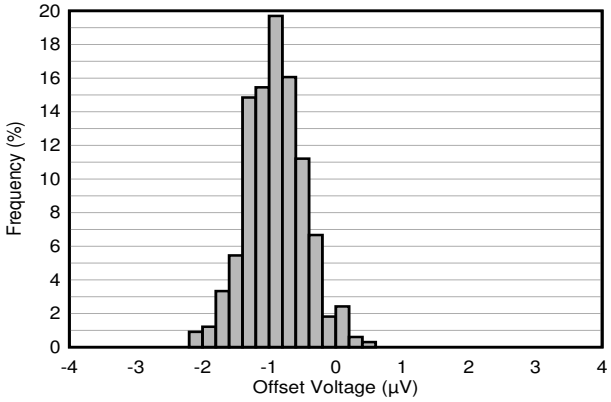


图 7-1. 失调电压生产分配

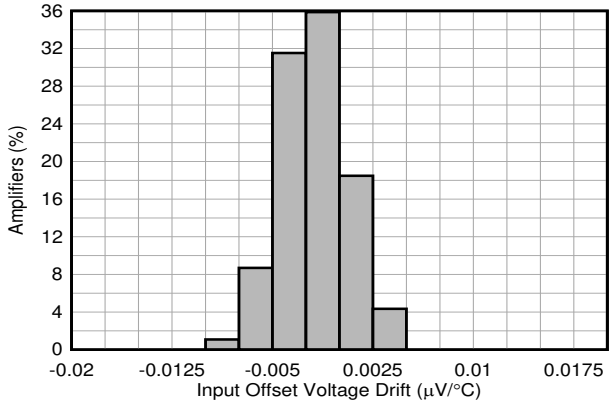


图 7-2. 失调电压漂移分配

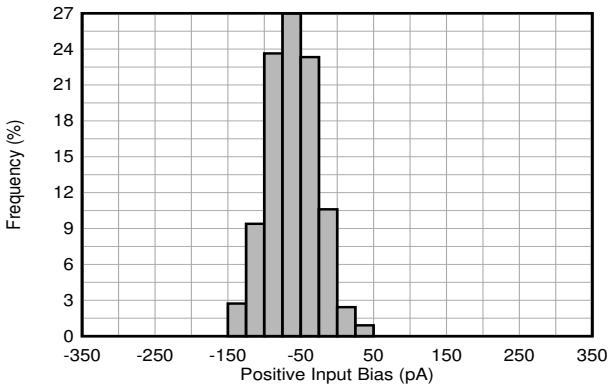


图 7-3. 输入偏置电流产生分布图

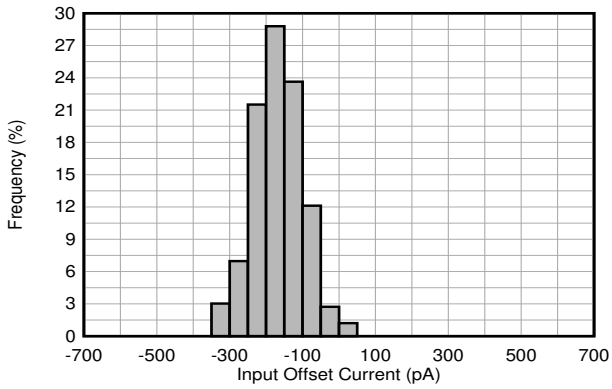


图 7-4. 输入失调电流产生分布

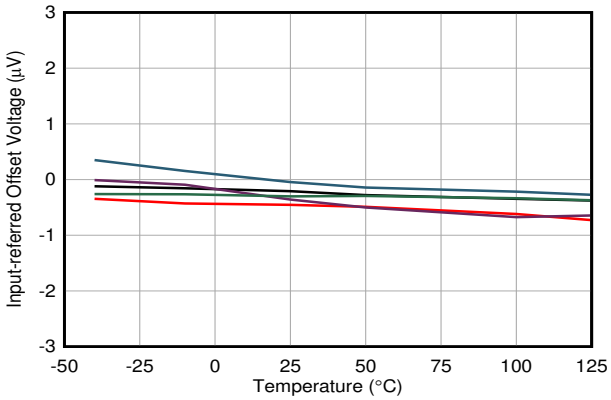


图 7-5. 失调电压与温度间的关系

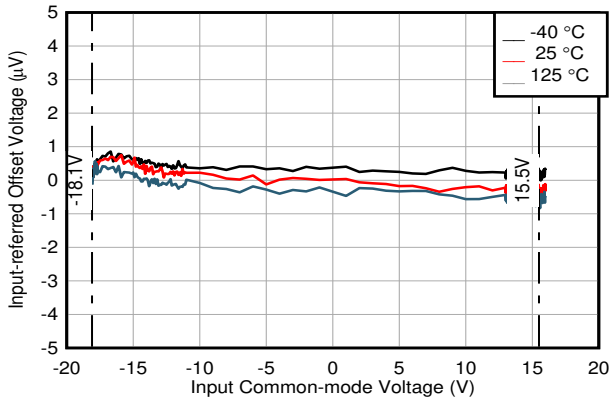


图 7-6. 失调电压与共模电压间的关系

7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

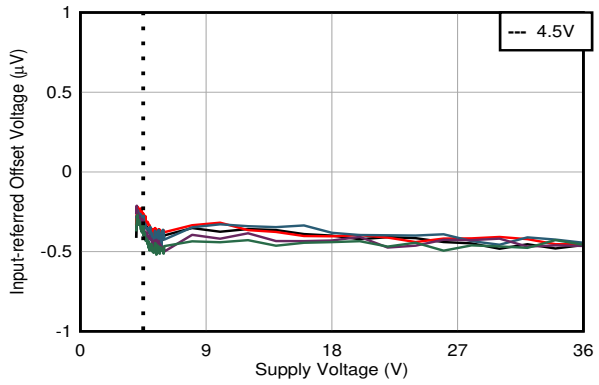


图 7-7. 偏移电压与电源电压间的关系

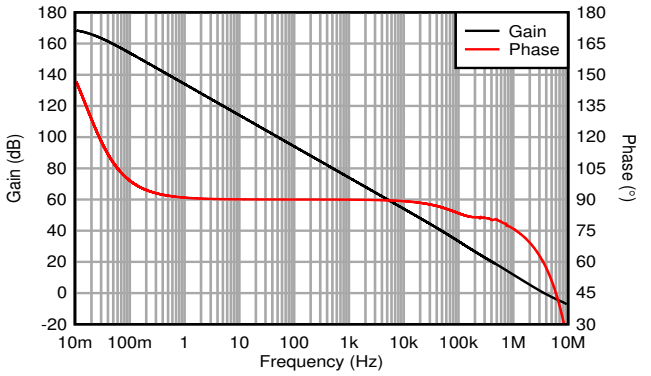


图 7-8. 开环增益和相位与频率间的关系

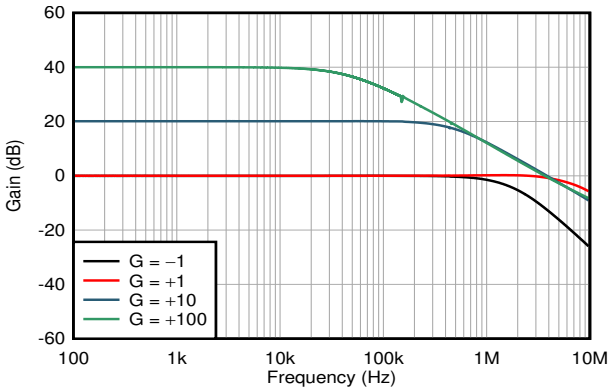


图 7-9. 闭环增益与频率间的关系

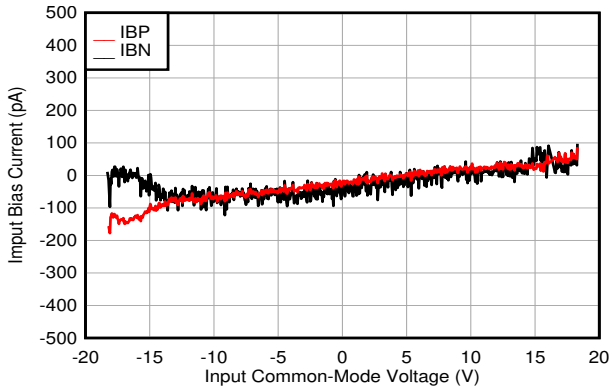


图 7-10. 输入偏置电流与共模电压间的关系

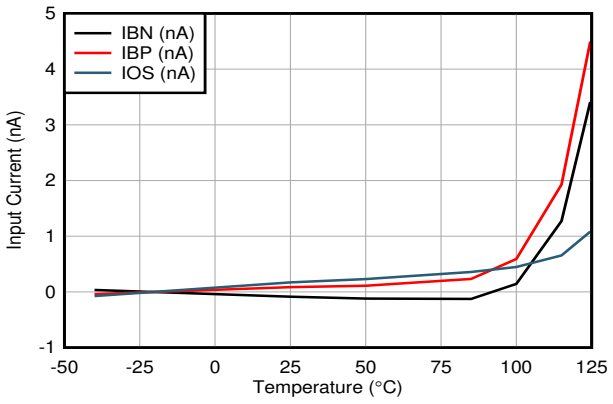


图 7-11. 输入偏置电流和失调电流与温度间的关系

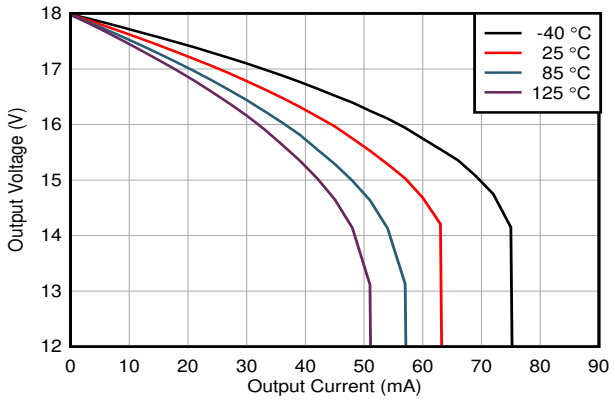


图 7-12. 输出电压摆幅与输出电流（拉电流）间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

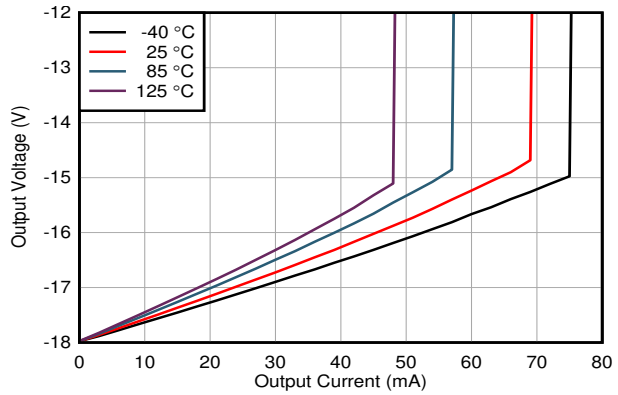


图 7-13. 输出电压摆幅与输出电流（灌电流）间的关系

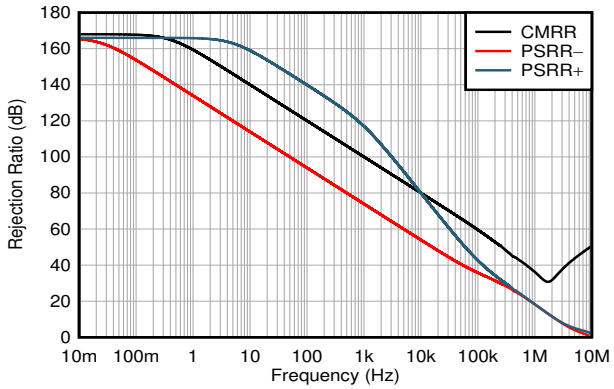


图 7-14. CMRR 和 PSRR 与频率间的关系

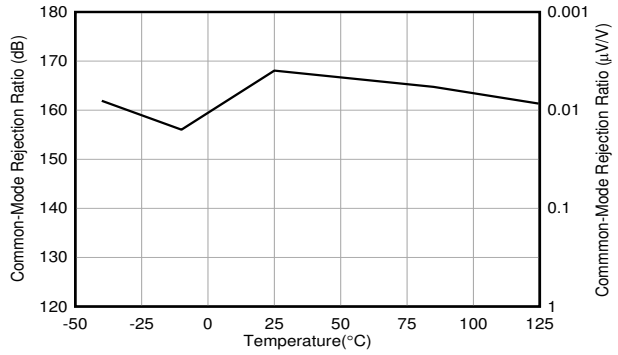


图 7-15. CMRR 与温度间的关系

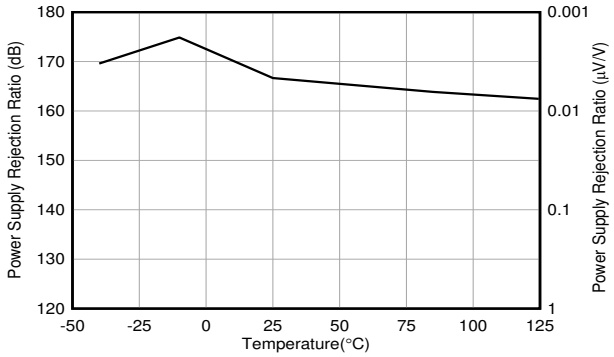


图 7-16. PSRR 与温度间的关系

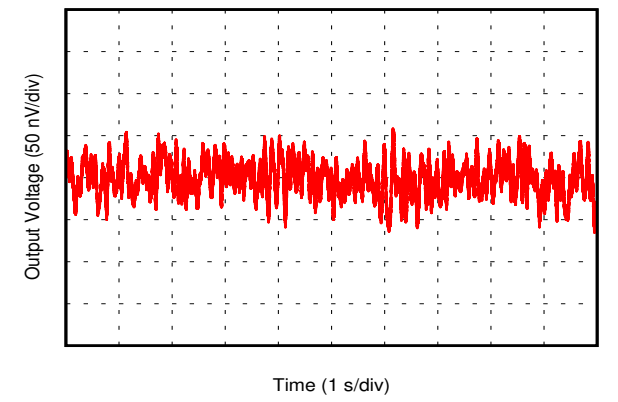


图 7-17. 0.1Hz 至 10Hz 电压噪声

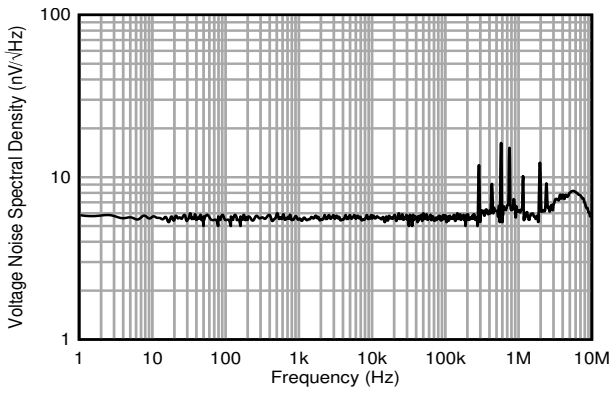


图 7-18. 输入电压噪声频谱密度与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

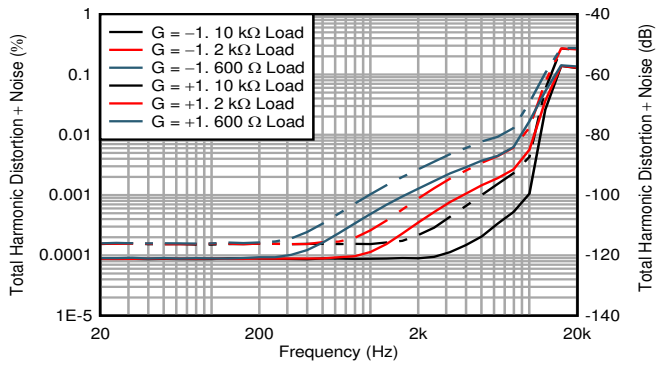


图 7-19. THD+N 比与频率间的关系

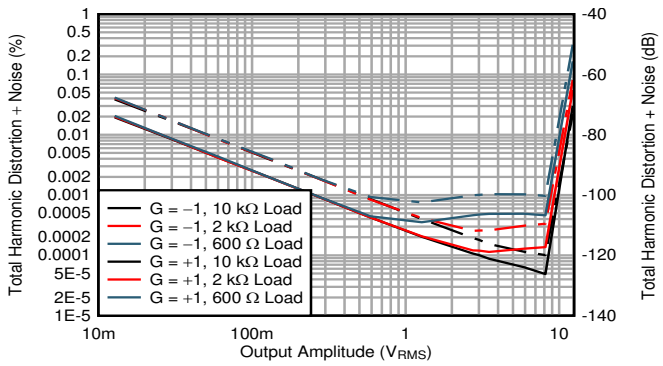


图 7-20. THD+N 与输出幅度间的关系

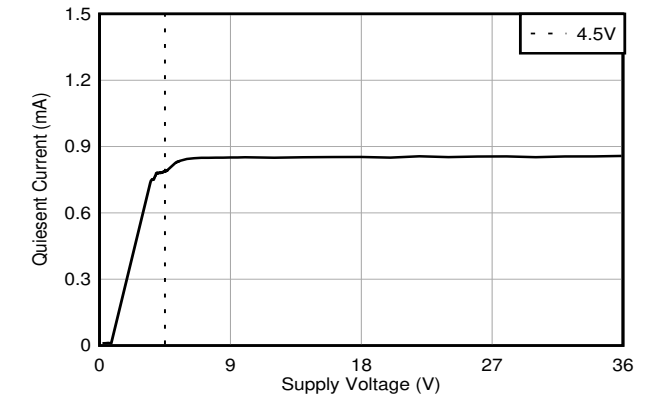


图 7-21. 静态电流与电源电压间的关系

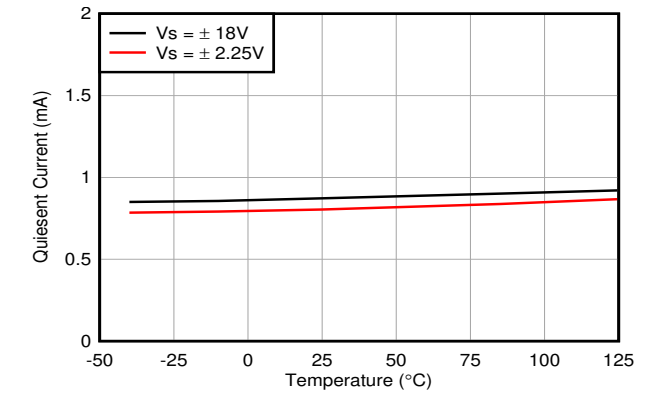


图 7-22. 静态电流与温度间的关系

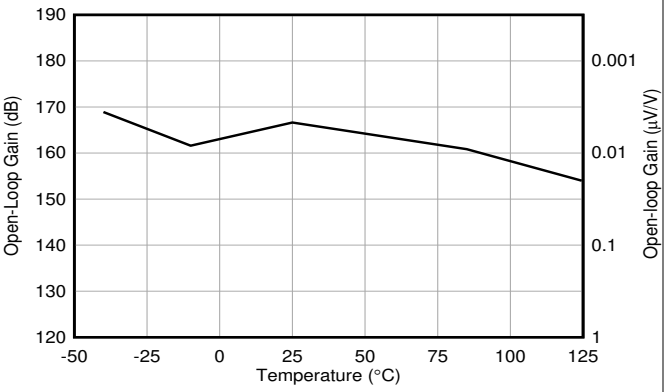


图 7-23. 开环增益与温度间的关系 (10kΩ)

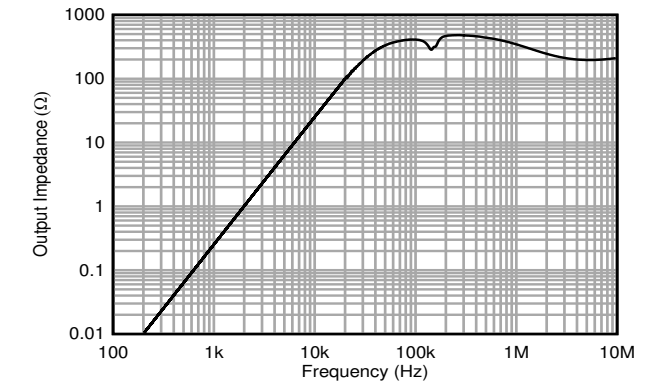
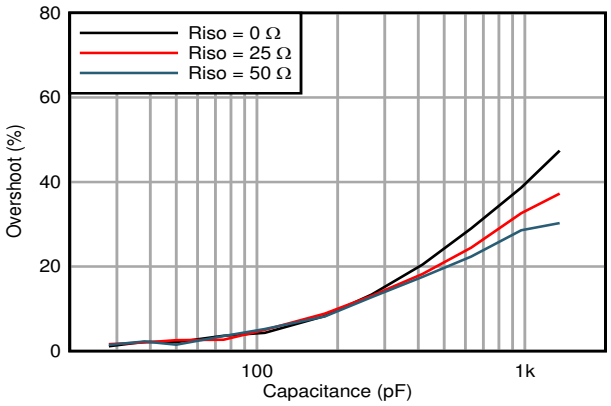


图 7-24. 开环输出阻抗与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

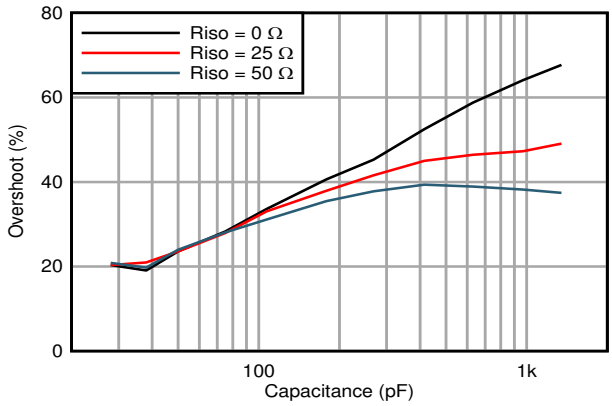
7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）



反相配置

图 7-25. 小信号过冲与容性负载间的关系



同相配置

图 7-26. 小信号过冲与容性负载间的关系

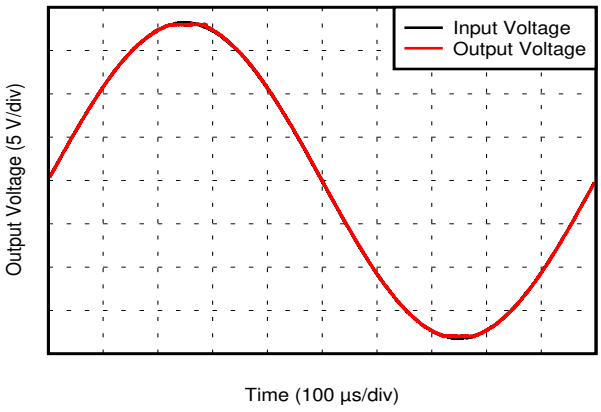


图 7-27. 无相位反转

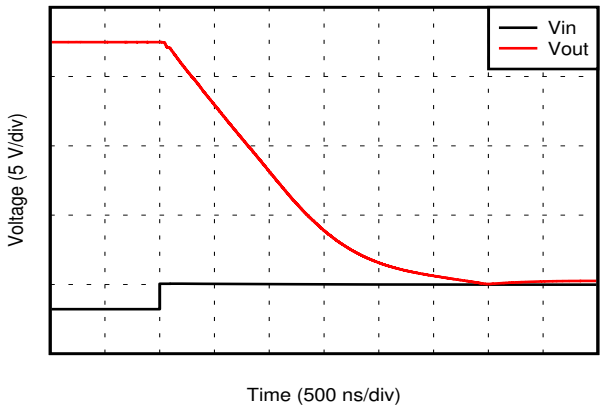


图 7-28. 正过载恢复

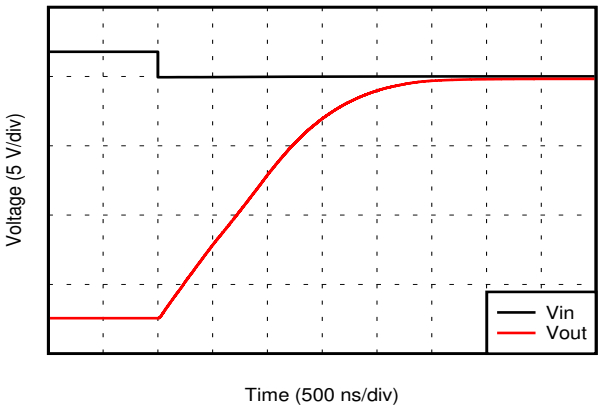
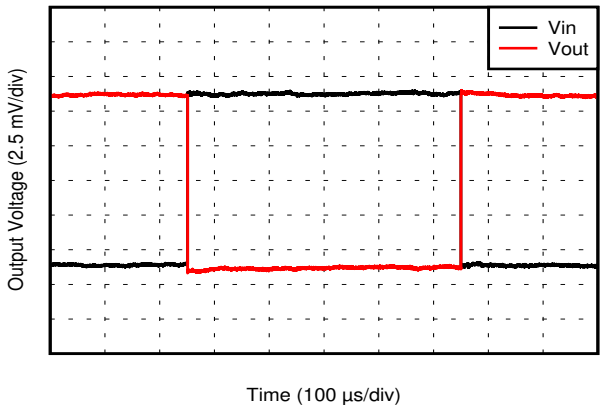


图 7-29. 负过载恢复

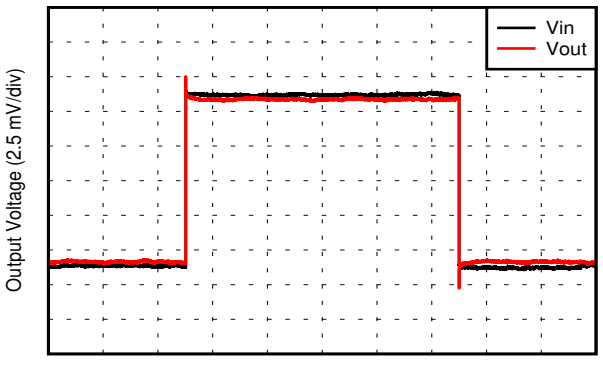


反相配置

图 7-30. 小信号阶跃响应

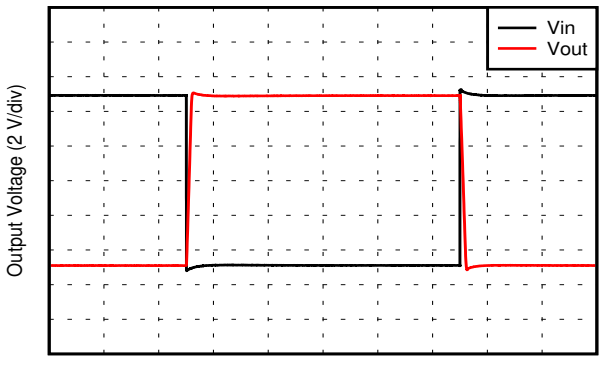
7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）



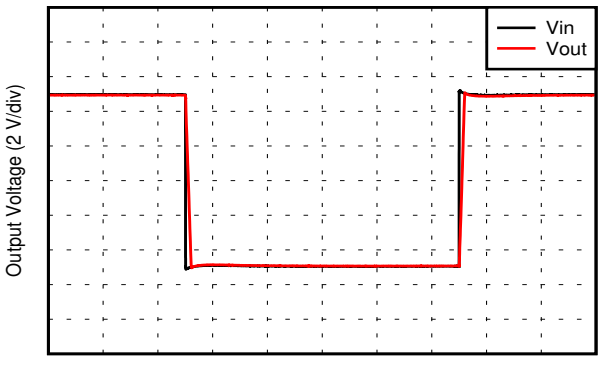
同相配置

图 7-31. 小信号阶跃响应



反相配置

图 7-32. 大信号阶跃响应



同相配置

图 7-33. 大信号阶跃响应

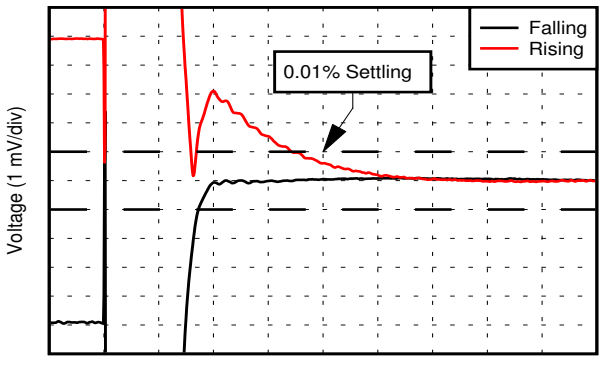


图 7-34. 建立时间

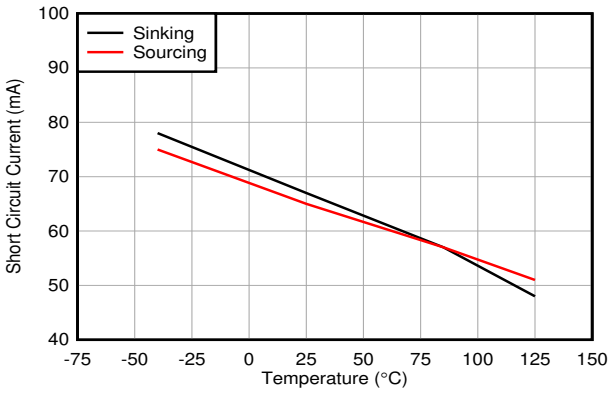


图 7-35. 短路电流与温度间的关系

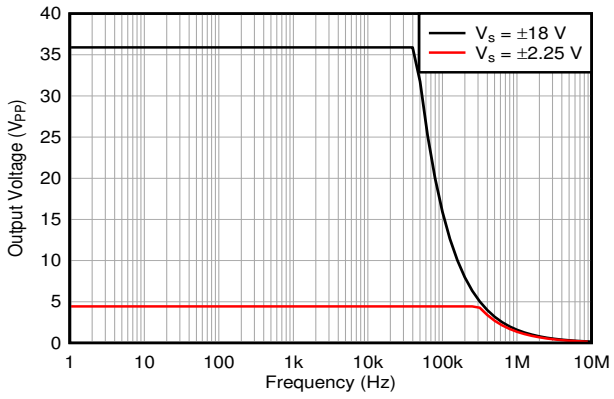


图 7-36. 最大输出电压与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

7.8 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另外说明）

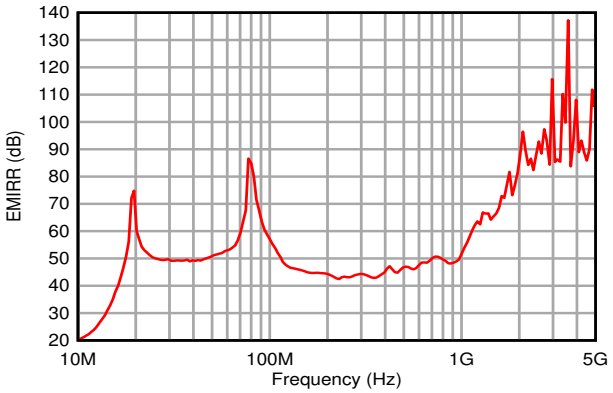


图 7-37. EMIRR 与频率之间的关系

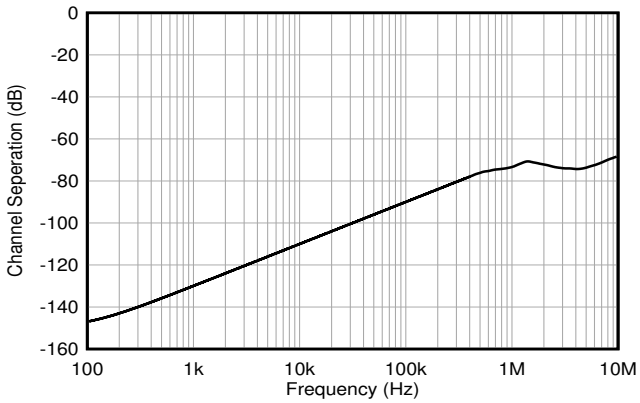


图 7-38. 通道分离

8 详细说明

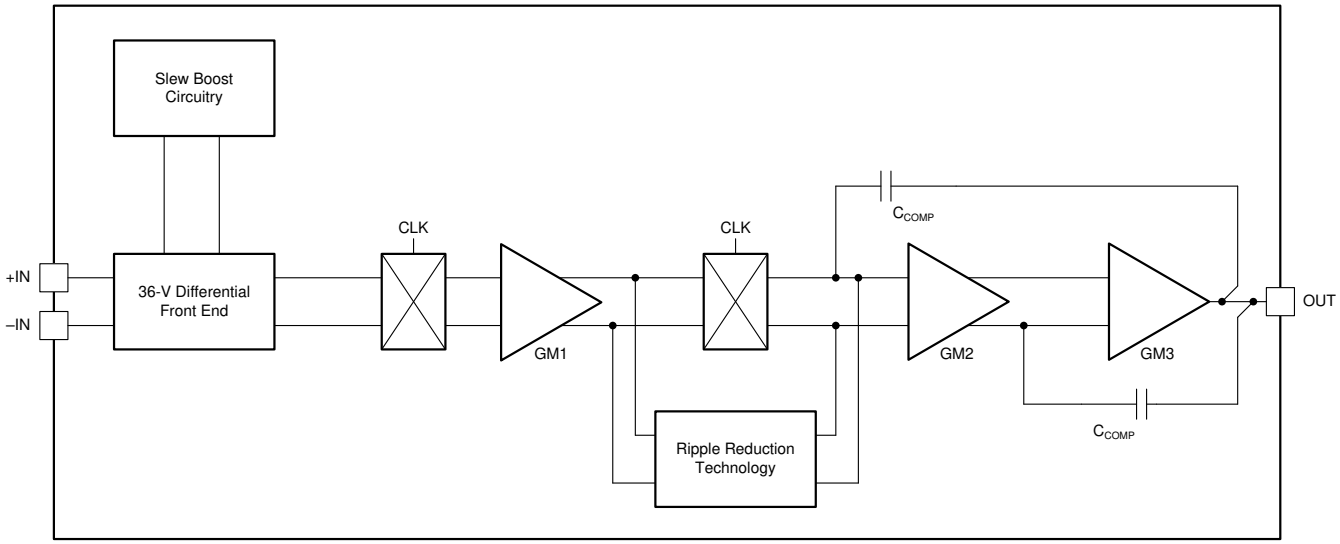
8.1 概述

OPAx182 系列运算放大器兼具精密的温漂与出色的总体性能，使这些器件成为许多精密应用的理想选择。仅 0.005μV/°C 的精密温漂可在整个温度范围内提供稳定性。此外，这些器件还提供出色的线性性能（具有高 CMRR、PSRR 和 A_{OL}）。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下，0.1μF 电容器已足够满足需求。有关详细信息和布局示例，请参阅*布局指南*部分。

OPAx182 是支持多路复用器的零漂移轨到轨输出运算放大器。这些器件的工作电压范围为 4.5V 至 36V，具有单位增益稳定特性，是各种通用和精密应用的理想选择。零漂移架构提供超低输入失调电压，并且随温度变化和时间推移实现接近于零的输入失调电压漂移。该架构选项还提供出色的交流性能，如超低宽带噪声、零闪烁噪声和在斩波频率以下运行时优秀的失真性能。

8.2 功能方框图

功能框图显示了专有 OPAx182 架构的表示形式。



Copyright © 2022 Texas Instruments Incorporated

8.3 特性说明

OPAx182 运算放大器具有多项集成功能，有助于在所有工作条件下保持高精度。这些功能包括相位反转保护、输入偏置电流时钟馈通和支持多路复用器的输入。

8.3.1 相位反转保护

OPAx182 具有内部相位反转保护功能。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。OPAx182 输入采用过大的共模电压来防止相位反转。或者，输出被限制至适当的电源轨。图 8-1 显示了这个特性。

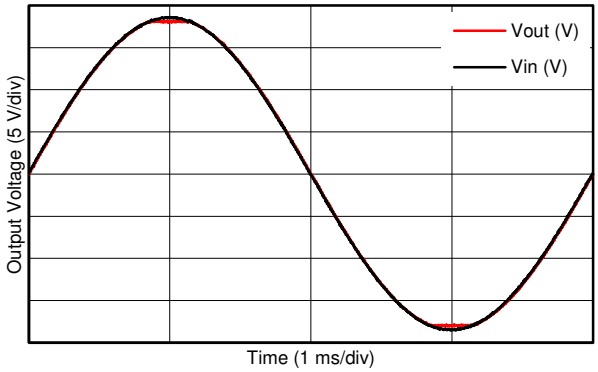


图 8-1. 无相位反转

8.3.2 输入偏置电流时钟馈通

零漂移放大器（如 OPAx182）在输入端使用开关来校正放大器的固有失调和漂移。来自输入端集成开关的电荷注入可能会在放大器的输入偏置电流中引入短时瞬态。这些脉冲极短的持续时间可以防止放大，但是这些脉冲可通过反馈网络与放大器的输出进行耦合。要防止输入偏置电流中的瞬态在放大器的输入端产生额外噪声，最有效方法是使用低通滤波器（如 RC 网络）。

8.3.3 EMI 抑制

OPAx182 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；OPAx182 从这些设计改进中受益。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 8-2 显示了对 OPAx182 执行此测试的结果。表 8-1 列出了 OPAx182 在实际应用中常见特定频率下的 EMIRR IN+ 值。表 8-1 列出的应用可在下图给出的特定频率或其近似频率下运行。有关详细信息也可参阅*运算放大器的 EMI 抑制比* 应用报告，可从 www.ti.com 下载此报告。

电磁干扰 (EMI) 抑制比 (EMIRR) 可用来描述运算放大器的 EMI 抗扰性。对许多运算放大器来说，射频信号整流会导致失调电压变化这一常见不利影响。如果一个运算放大器能更有效地抑制由 EMI 引起的失调电压变化，则需要该放大器会具有较高的 EMIRR（其大小通过分贝值来量化）。测量 EMIRR 的方法有很多种，但本节提供的是 EMIRR +IN，它专门描述了当射频信号施加到运算放大器的同相输入引脚时的 EMIRR 性能。一般来说，出于以下三个原因，仅对同相输入进行 EMIRR 测试：

- 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
- 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
- 在同相引脚上测量 EMIRR 比在其他引脚上测量更简单，因为在 PCB 上可以隔离同相输入端子。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 走线之间发生复杂的相互作用。

传导或辐射到任何运算放大器引脚的高频信号都可能导致不利影响，因为放大器环路增益不足，无法校正频谱含量超出带宽的信号。在输入端、电源或输出端上传导或辐射的 EMI 可能会导致意想不到的直流偏置、瞬态电压或其他未知的行为。应小心地将敏感的模拟节点与具有噪声的无线电信号以及数字时钟和接口隔离开来。

Copyright © 2022 Texas Instruments Incorporated

OPAx182 的 EMIRR +IN 与频率间的关系图如图 8-2 所示。任何双路和四路运算放大器器件版本（如果可用）具有几乎相似的 EMIRR +IN 性能。OPAx182 增益带宽为 5MHz。低于该频率的 EMIRR 性能表示存在位于运算放大器带宽内的干扰信号。

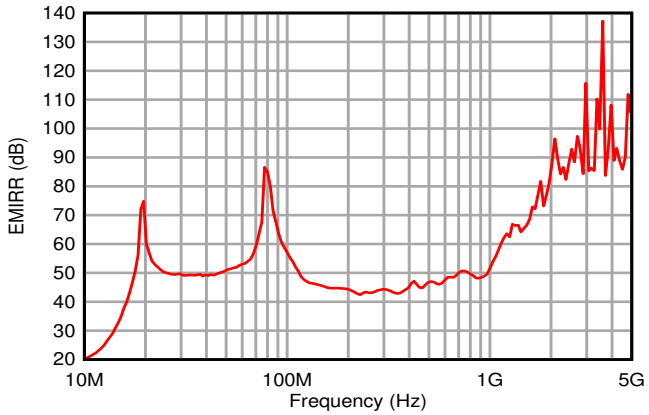


图 8-2. EMIRR 测试

表 8-1. OPAx182 在目标频率下的 EMIRR IN+

频率	应用和分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	44.9dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	48.4dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	81.7dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	87.9dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	137.2dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星操作、C 波段（4GHz 至 8GHz）	99.2dB

Copyright © 2022 Texas Instruments Incorporated

8.3.4 电气过应力

设计人员经常会问到关于运算放大器耐受电气过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同的引脚功能均具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过应力限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。请参阅图 8-3，了解 OPAx182 中包含的 ESD 电路的图示（用虚线区域指示）。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未激活状态。

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个驱动二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发或阈值电压，该电压高于 OPAx182 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨上的电压钳制在安全的水平。

当运算放大器接入某个电路（如图 8-3 中所示）时，ESD 保护元件将保持未激活状态，并且不会介入应用电路的运行。不过，如果施加的电压超出指定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，则存在部分内部 ESD 保护电路可能被偏置并传导电流的风险。任何此类电流都将流经导流二极管路径，但很少涉及吸收器件。

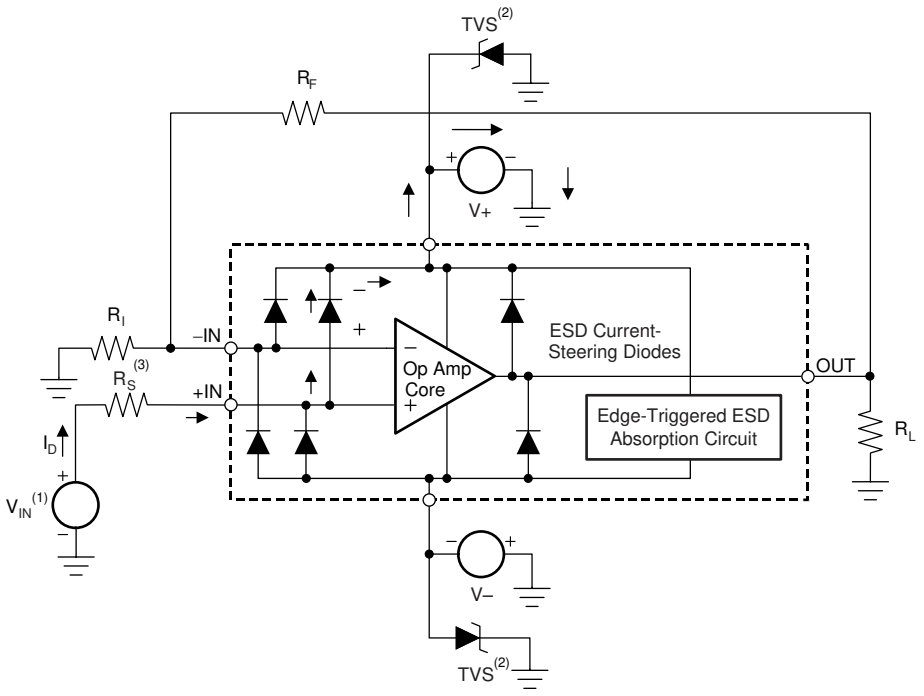
图 8-3 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 (V+) 500mV 甚至更多。电路中将发生的大多数情况取决于电源特性。如果 V+ 能够灌入电流，那么上面的一个输入导流二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 V+ 或 V – 为 0V 时向输入端施加输入信号，放大器如何响应。同样，这个问题取决于电源在 0V 或低于输入信号幅度时的特性。如果电源呈现高阻抗状态，则运算放大器电源电流可由输入源通过导流二极管进行提供。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，则必须在电源引脚处添加外部齐纳二极管，如图 8-3 中所示。必须正确选择齐纳电压，以便二极管不会在正常工作期间导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。

Copyright © 2022 Texas Instruments Incorporated



(1) V_{IN} = V+ + 500mV。

(2) TVS：40V > $V_{TVSBR\ (min)}$ > V+，其中 $V_{TVSBR\ (min)}$ 是瞬态电压抑制器击穿电压的最小额定值。

(3) 过压条件下的建议值为约 5kΩ。

图 8-3. 与典型电路应用相关的等效内部 ESD 电路

8.3.5 支持多路复用器的输入

OPAx182 采用专有的输入级设计，允许在保持高输入阻抗的同时施加输入差分电压。通常情况下，高电压 CMOS 或双极结输入放大器具有反向并联二极管，可保护输入晶体管以承受可能超过半导体工艺最大值的高 V_{GS} 电压，并防止损坏器件。当施加较大的输入阶跃、在通道之间切换或试图使用放大器作为比较器时，可以强制实施高 V_{GS} 电压。有关详细信息，请参阅*支持多路复用器的精密运算放大器*应用简报。

OPAx182 通过开关输入技术解决了这些问题，该技术可防止在施加较大的差分电压时出现较大的输入偏置电流。这种输入架构解决了开关或多路复用应用中出现的许多问题，其中 RC 滤波网络的较大中断是由较高电势之间的快速切换引起的。借助这些设计创新以及内置的压摆率提升和宽带宽，OPAx182 可提供出色的趋稳性能。OPAx182 也可以用作比较器。差分和共模*绝对最大额定值*仍然适用（相对于电源）。

8.4 器件功能模式

OPAx182 具有单一功能模式，可在电源电压大于 4.5V (±2.25V) 时工作。最大电源电压为 36V (±18V)。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

OPAx182 运算放大器兼具精密的温漂与出色的总体性能，使这些器件成为许多精密应用的理想选择。仅 0.005μV/°C 的精密温漂可在整个温度范围内提供稳定性。此外，该器件还集出色的 CMRR、PSRR 和 A_{OL} 直流性能与出色的低噪声运行于一体。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下，0.1μF 电容器已足够满足需求。

以下应用示例仅重点介绍了几个可以使用 OPAx182 的电路。

9.2 典型应用

9.2.1 应变仪模拟线性化

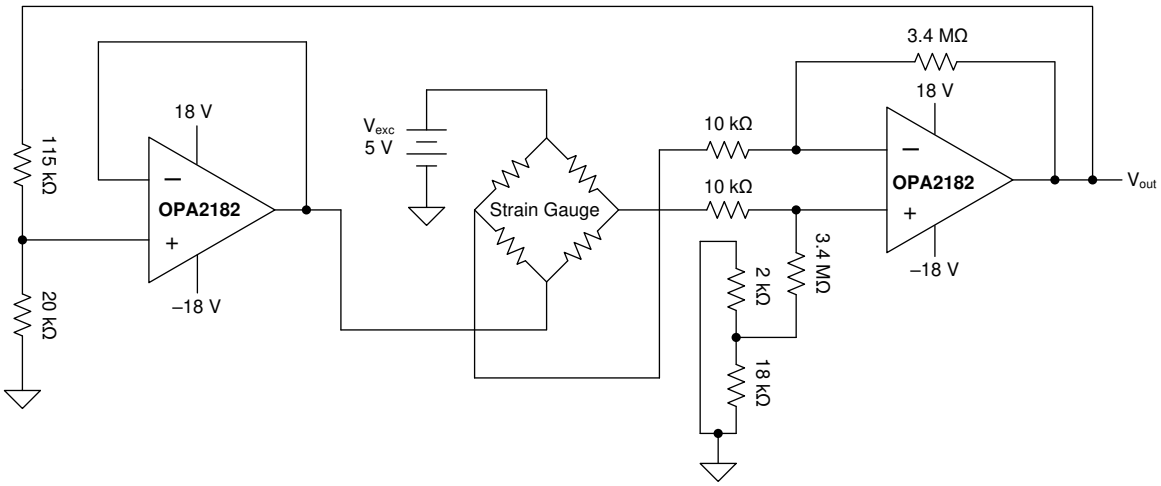


图 9-1. 使用 OPA2182 的桥式传感器模拟线性化

9.2.1.1 设计要求

应变仪用于通过在惠斯通电桥配置中使用电阻来测量由于外力引起的变化。惠斯通电桥用于精确测量低至 mΩ 范围内的极低电阻值。对电桥施加激励电压，测量电桥中间的输出电压。输出电压的总变化相对较小，通常在 mV 范围内。因此，运算放大器用于放大信号。OPA2182 专为实现精密放大而设计。

本设计示例使用以下参数：

- 使用运算放大器线性输出运行范围，通常在 AOL 测试条件下指定该范围。共模电压等于共模信号。
- 使用不会给系统增加明显噪声的运算放大器，否则惠斯通电桥的小输出电压将会丢失。
- 由于必须获得输入信号，因此，使用具有低输入失调电压 (V_{OS}) 的运算放大器
- 由于必须获得输入信号，因此，使用具有足够开环增益的运算放大器来提供所需的放大

9.2.1.2 详细设计过程

电桥传感器信号流模型如图 9-2 中所示。

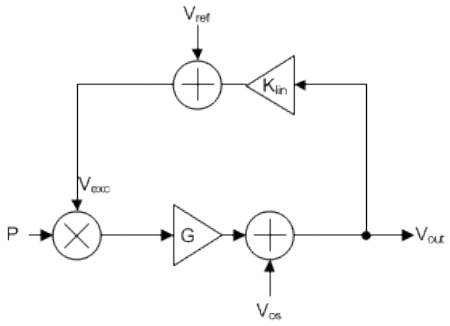


图 9-2. 电桥传感器信号流模型

电桥传感器被建模为乘法器，来自励磁电压和压力传感器的输入产生输出电压，该输出电压在公式 1 中给出：

$$V_{bridge}(P, V_{exc}) = V_{exc} \times K_p(P) \tag{1}$$

K_p 是电桥传感器的灵敏度，通常以 mV/V 为单位指定。P 表示相对于传感器范围的压力，标准化为 0 到 1 的范围。使用信号流模型中给定的变量求解此方程，并求解 V_{out}，得到公式 2：

$$V_{out}(P) = \frac{V_{OS} + V_{ref} \times G \times K_p(P)}{1 - G \times K_{lin} \times K_p(P)} \tag{2}$$

此公式有三个变量，V_{OS}、G 和 K_{lin}，需要三个公式来求解。要求解这些公式，需要传感器在空载、中量程和满载条件下的 K_p 值。使用这些值，系统可以线性化。

使用已知的 K_p 值，K_{lin} 的计算如公式 3 所示：

$$K_{lin} = \frac{4 \times B_v \times V_{ref}}{(V_{out_high} - V_{out_low}) - 2 \times B_v \times (V_{out_high} + V_{out_low})} \tag{3}$$

在此公式中，B_v 表示电桥非线性，其计算方法如公式 4 所示：

$$B_v = \frac{K_p(0.5) - \frac{K_p(1) + K_p(0)}{2}}{K_p(1) - K_p(0)} \tag{4}$$

B_v 根据传感器规格求解，然后使用该公式求解 K_{lin}。接下来，使用公式 5 和公式 6 计算系统增益。

$$V_{out_high} = \frac{V_{OS} + V_{ref} \times G \times K_p(1)}{1 - G \times K_{lin} \times K_p(1)} \tag{5}$$

$$V_{out_high} = \frac{V_{OS} + V_{ref} \times G \times K_p(0)}{1 - G \times K_{lin} \times K_p(0)} \tag{6}$$

Copyright © 2022 Texas Instruments Incorporated

求解两个公式中的 V_{OS}，并将结果合并到公式 7 中。

$$V_{out_high}(1-G\times K_{lin}\times K_p(1))-V_{ref}\times G\times K_p(1)=V_{out_low}(1-G\times K_{lin}\times K_p(0))-V_{ref}\times G\times K_p(0) \quad (7)$$

求解 G 给出了公式 8。

$$G=\frac{V_{out_high}-V_{out_low}}{K_p(1)\times(K_{lin}\times V_{out_high}+V_{ref})-K_p(0)\times(K_{lin}\times V_{out_low}+V_{ref})} \quad (8)$$

现在计算 K_{lin} 和 G 后，V_{OS} 的求解如公式 9 所示。

$$V_{OS}=V_{out_low}(1-G\times K_{lin}\times K_p(0))-V_{ref}\times G\times K_p(0) \quad (9)$$

对于 K_P 为 0.0003mV/V 的传感器，在空载、0.0017mV/V 中量程和 0.00289mV/V 时，相应的非线性约为 4%。求解 K_{lin}、G 和 V_{OS} 给出如表 9-1 中所示的值。

表 9-1. 电桥计算示例

K_{lin}	0.173913
G	323.8178
VOS	-0.48573

9.2.1.3 应用曲线

使用之前使用的相同 K_P 值，电桥非线性模拟为 4% 峰值，输出在 0V 至 5V 范围内呈线性，校正后的系统非线性约为 ±0.1%。

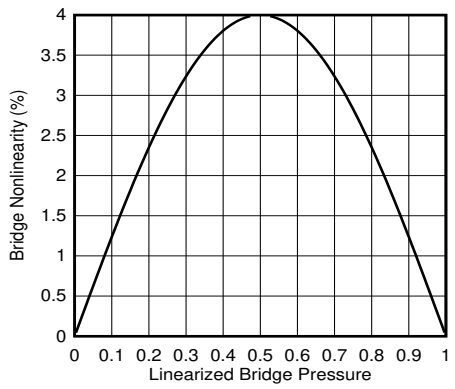


图 9-3. 电桥非线性

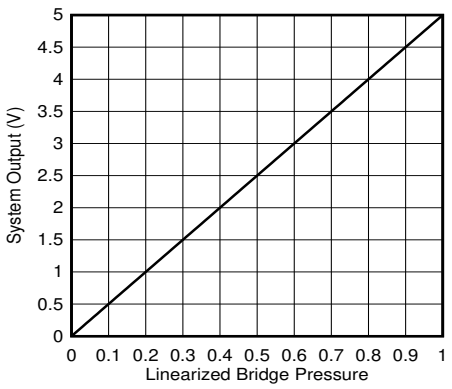


图 9-4. 电桥输出

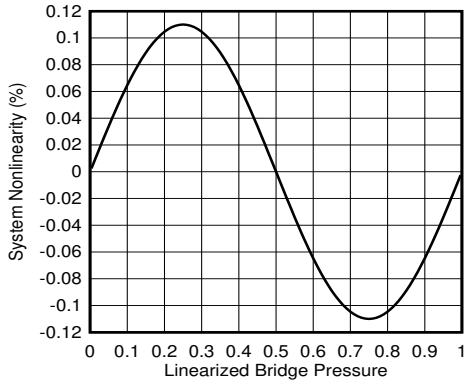
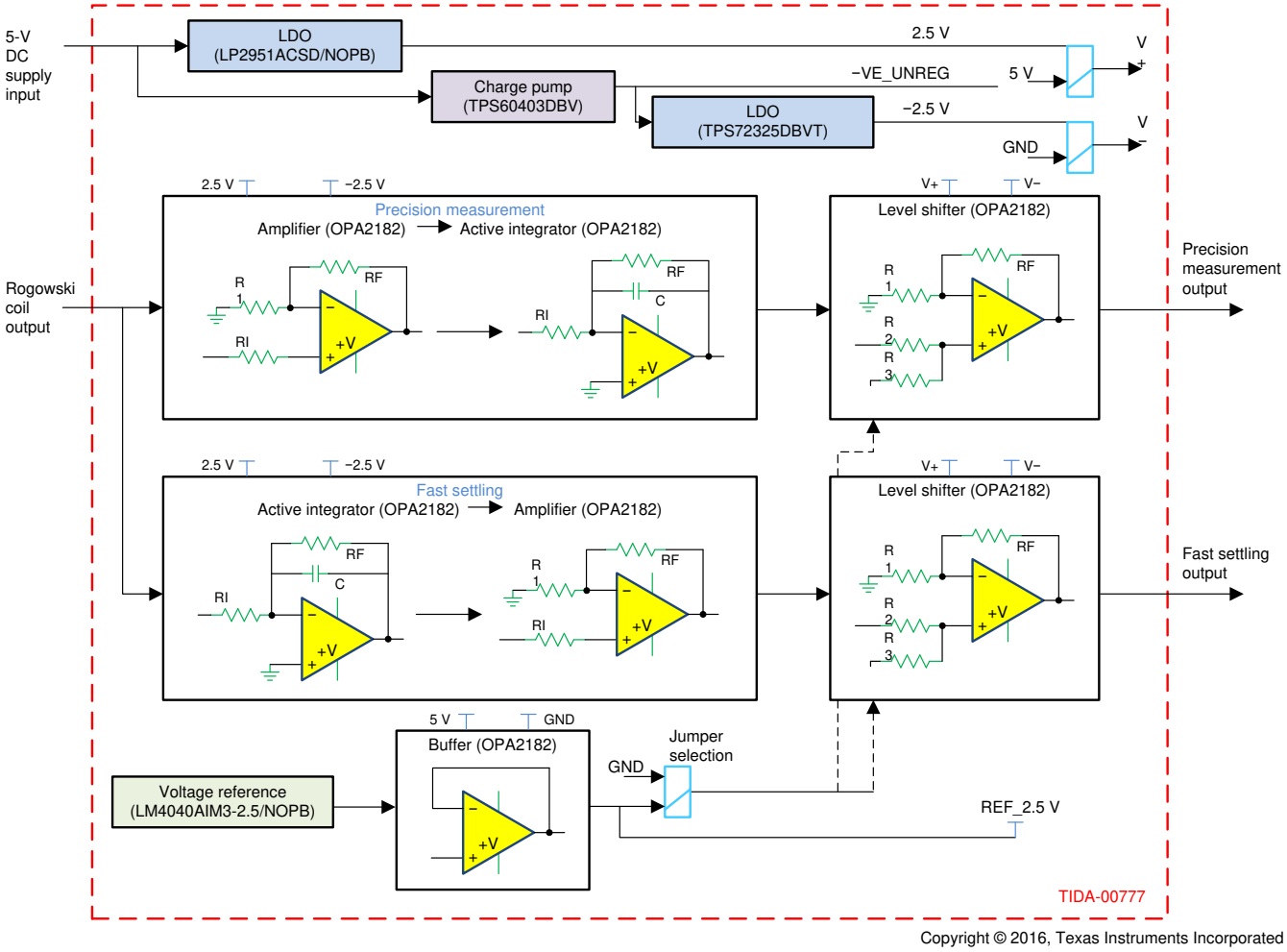


图 9-5. 系统非线性

9.2.2 罗氏线圈积分器

图 9-6 显示了 OPA2182，其被配置为用于罗氏线圈的有源积分器、电平移位器和精确电压参考缓冲器，用于以高精度间接测量保护继电器的电流。此设计有两条主要信号路径：第一条路径用于精确测量流过罗氏线圈的电流，第二条高速路径用于检测快速瞬变，例如短路。OPA2182 因其较低的失调电压 (0.45µV) 和温漂 (0.003µV/°C) 而被选择用于此应用，可更大限度地降低校准要求，并在整个温度范围内保持更高的精度。该器件还具有在包括直流在内的宽频率范围内的平坦噪声，这提高了来自罗氏线圈的宽输入电流范围内的精度和可重复性。有关此设计的更多信息，请参阅*适用于继电器和断路器的具有更高精度的罗氏线圈有源积分器参考设计*。



Copyright © 2016, Texas Instruments Incorporated

图 9-6. 可编程电源

Copyright © 2022 Texas Instruments Incorporated

9.2.3 系统示例

9.2.3.1 24 位 Δ-Σ 差分称重传感器或应变仪传感器信号调节

OPA2182 与 ADS1225 一起用于 24 位差分称重传感器或应变仪传感器信号调节系统中。OPA2182 放大器采用双放大器仪表放大器 (IA) 配置，并具有带限功能以降低噪声并实现高电容驱动。称重传感器由 5V 的激励电压（表示为 V_{EX}）供电，并提供与施力成比例的差分电压。该差分电压可能非常小，并且两个输出都偏置到 V_{EX} / 2。

本示例中采用 OPA2182 的原因是其具有出色的输入失调电压 (0.45μV) 和输入失调电压漂移 (0.003μV/°C)、低宽带噪声 (5.7nV/ √Hz) 和零闪烁噪声，以及出色的线性度和高输入阻抗。双放大器 IA 配置消除了直流偏置并放大了目标差分信号，而且能驱动 24 位 Δ-Σ ADS1225 模数转换器 (ADC) 进行采集和转换。ADS1225 具有 100SPS 数据速率、单周期趋稳能力，以及使用专用 START 引脚进行简单转换控制的功能。

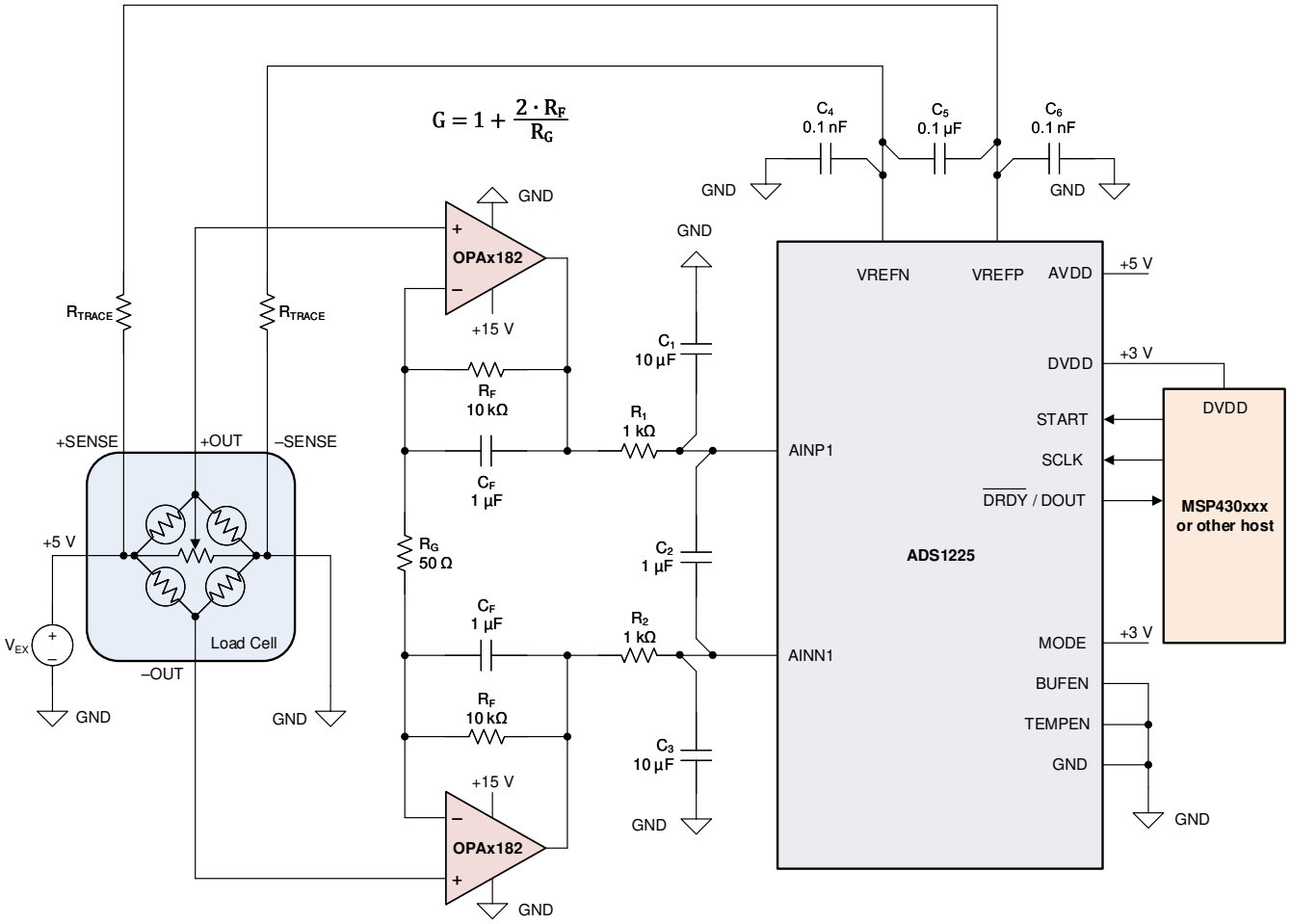
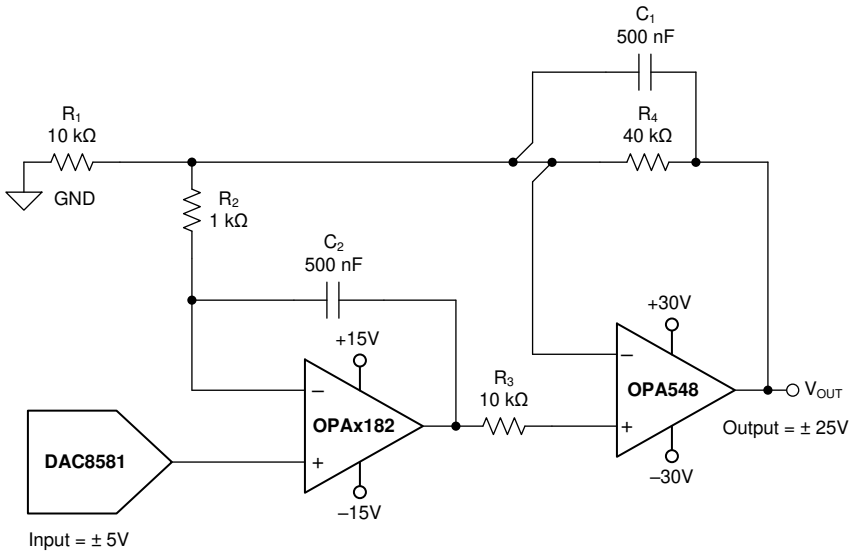


图 9-7. 24 位差分称重传感器或应变仪传感器信号调节原理图

9.2.4 可编程电源

图 9-6 显示了配置为使用 16 位电压输出 DAC8581 和 OPA548 高电流放大器的精密可编程电源的 OPAx182。该应用将数模转换器 (DAC) 电压放大五倍，并处理多种容性负载和电流负载。前端中的 OPAx182 在各种输入和条件下提供高精度并实现低漂移。请点击以下链接来下载 TINA-TI™ 软件文件：可编程电源电路。

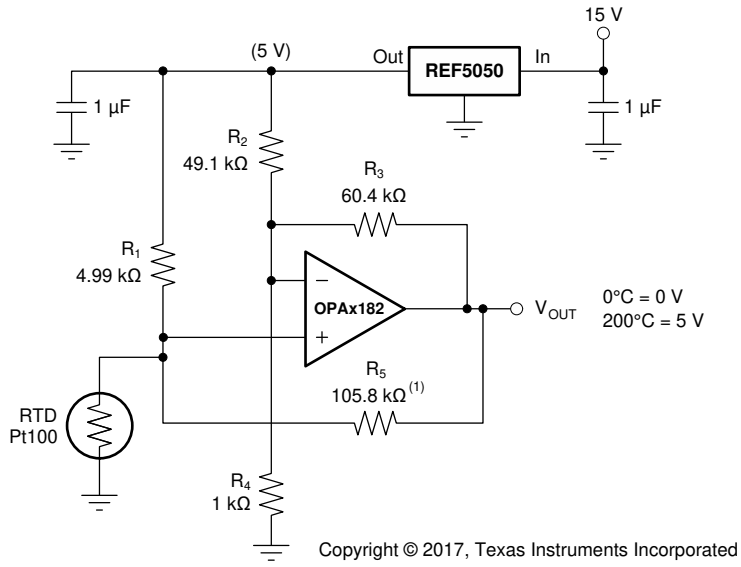


Copyright © 2017, Texas Instruments Incorporated

图 9-8. 可编程电源

9.2.5 具有线性化功能的 RTD 放大器

有关 图 9-9 的深入分析，请参阅 *电阻式温度检测器的模拟线性化* 模拟设计期刊。请点击以下链接来下载 TINA-TI™ 软件文件：具有线性化功能的 RTD 放大器。



Copyright © 2017, Texas Instruments Incorporated

(1) R_5 提供正变化激励以使输出线性化。

图 9-9. 具有线性化功能的 RTD 放大器

Copyright © 2022 Texas Instruments Incorporated

9.3 电源相关建议

OPAx182 的额定工作电压为 4.5V 至 36V（±2.25V 至 ±18V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*典型特性* 介绍了可能会随工作电压或温度而显著变化的参数。

CAUTION

电源电压大于 40V 可能对器件造成永久损坏（请参阅*绝对最大额定值*）。

将 0.1 µF 旁路电容器置于电源引脚附近，可减少从高噪声电源或
高阻抗电源中耦合进来的误差。有关旁路电容器位置的更多详细信息，请参阅*布局*部分。

9.4 布局

9.4.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

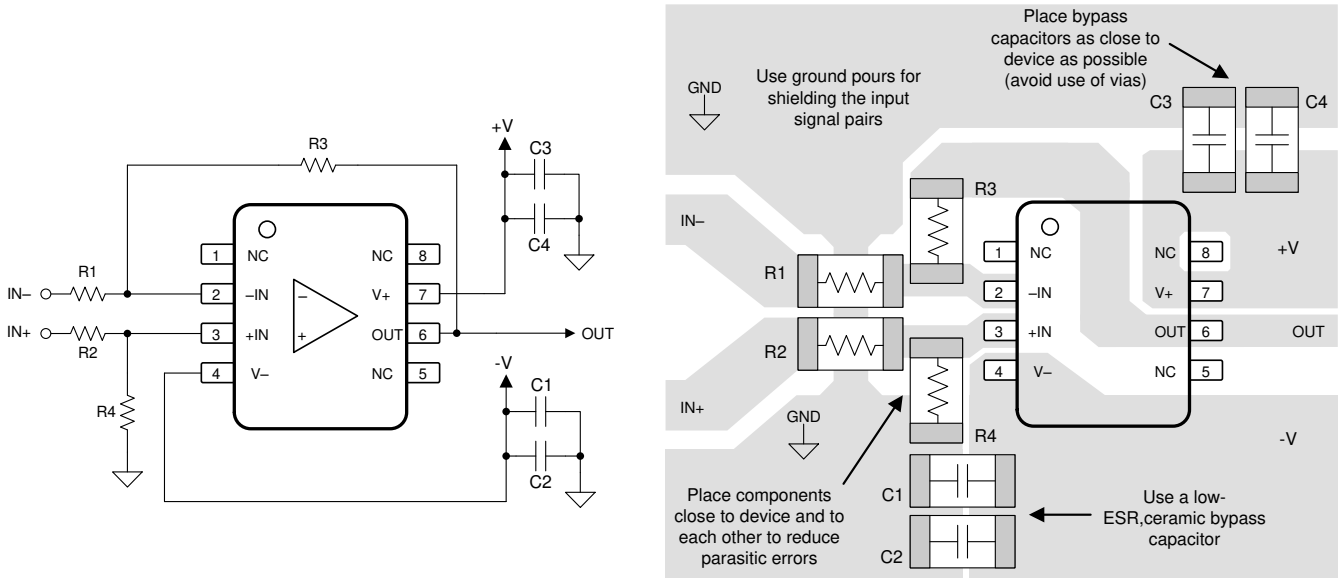
- 噪声可通过全部电路电源引脚及运算放大器本身传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。有关更多详细信息，请参阅 *PCB 是一个运算放大器设计的组件*。
- 为了减少寄生耦合，请让输入走线尽可能远离电源走线或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如图 9-10 所示，使 RF 和 RG 靠近反相输入，以更大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可显著减少附近走线在不同电势下产生的漏电流。
- 在电路板组装后清洁 PCB。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

要获得最低失调电压，请避免在因连接不均质导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。

- 使用低热电系数条件（避免异种金属）。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

Copyright © 2022 Texas Instruments Incorporated

9.4.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 9-10. 差分放大器配置的运算放大器电路板布局

Copyright © 2022 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 开发支持

10.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

10.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计工具和仿真网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

10.1.1.3 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 https://www.ti.com/reference-designs。

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*零漂移放大器：特性和优势* 应用报告
- 德州仪器 (TI)，*PCB 是一个运算放大器设计的组件* 技术简介
- 德州仪器 (TI)，*运算放大器增益稳定性，第 3 部分：交流增益误差分析* 技术简介
- 德州仪器 (TI)，*运算放大器增益稳定性，第 2 部分：直流增益误差分析* 技术简介
- 德州仪器 (TI)，*在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑* 技术简介
- 德州仪器 (TI)，*运算放大器性能分析* 应用简报
- 德州仪器 (TI)，*运算放大器的单电源操作* 应用简报
- 德州仪器 (TI)，*调优放大器* 应用简报
- 德州仪器 (TI)，*无铅组件涂层的货架期评估* 应用报告
- 德州仪器 (TI)，*反馈曲线图定义运算放大器交流性能* 应用简报
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比* 应用报告
- 德州仪器 (TI)，*电阻式温度检测器的模拟线性化* 技术简介
- 德州仪器 (TI)，*TI 精密设计 TIPD102 高侧电压-电流 (V-I) 转换器* 参考指南

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

Copyright © 2022 Texas Instruments Incorporated

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

10.6 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA182IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ	Samples
OPA182IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	2RXQ	Samples
OPA182IDR	ACTIVE	SOIC	D	8	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP182	Samples
OPA182IDT	ACTIVE	SOIC	D	8	250	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP182	Samples
OPA2182ID	ACTIVE	SOIC	D	8	75	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182	Samples
OPA2182IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ	Samples
OPA2182IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	26RQ	Samples
OPA2182IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP2182	Samples
OPA4182IDR	ACTIVE	SOIC	D	14	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182	Samples
OPA4182IDT	ACTIVE	SOIC	D	14	250	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	OP4182	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

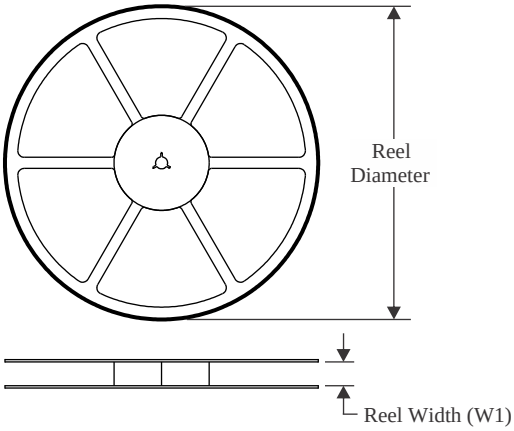
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

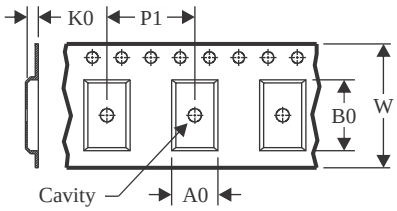
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

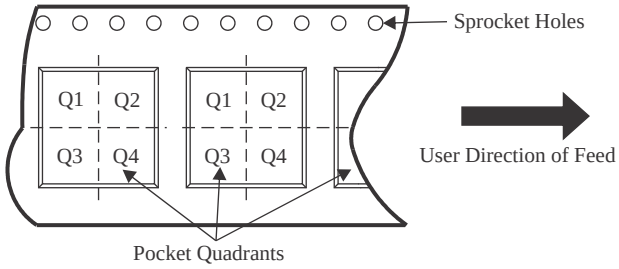


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

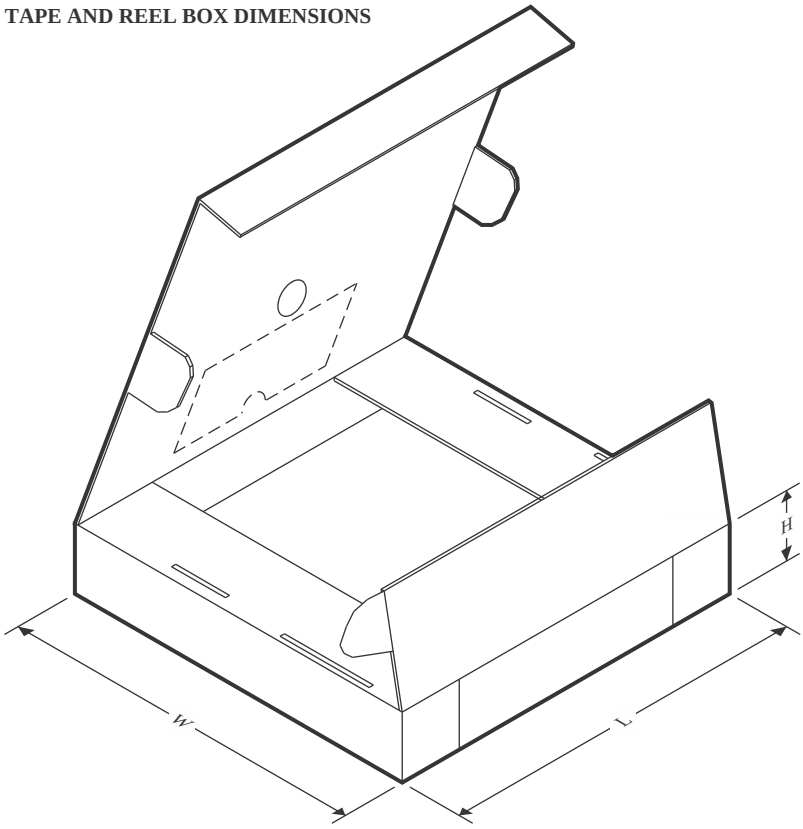
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA182IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA182IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA182IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA182IDT	SOIC	D	8	250	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2182IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2182IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2182IDR	SOIC	D	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
OPA4182IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.5	2.3	8.0	16.0	Q1
OPA4182IDT	SOIC	D	14	250	330.0	16.4	6.5	9.5	2.3	8.0	16.0	Q1

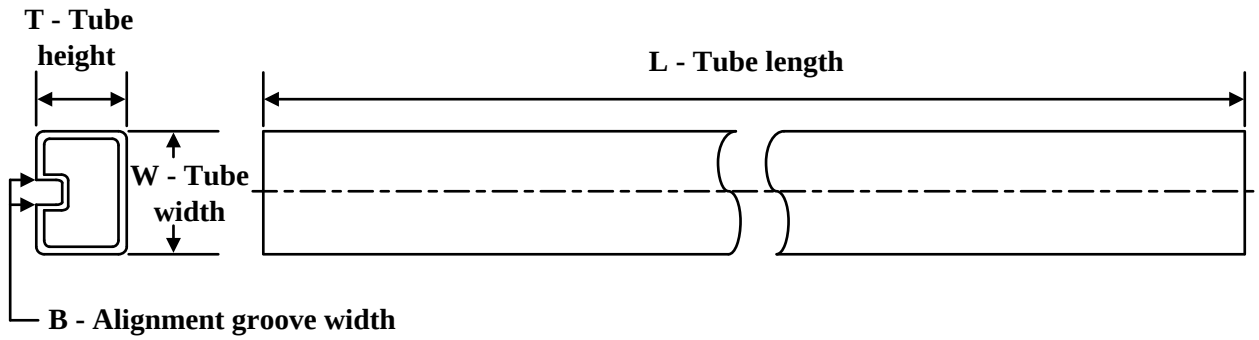
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA182IDBVR	SOT-23	DBV	5	3000	190.0	190.0	30.0
OPA182IDBVT	SOT-23	DBV	5	250	190.0	190.0	30.0
OPA182IDR	SOIC	D	8	3000	366.0	364.0	50.0
OPA182IDT	SOIC	D	8	250	366.0	364.0	50.0
OPA2182IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2182IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA2182IDR	SOIC	D	8	2500	366.0	364.0	50.0
OPA4182IDR	SOIC	D	14	3000	366.0	364.0	50.0
OPA4182IDT	SOIC	D	14	250	366.0	364.0	50.0

TUBE



*All dimensions are nominal

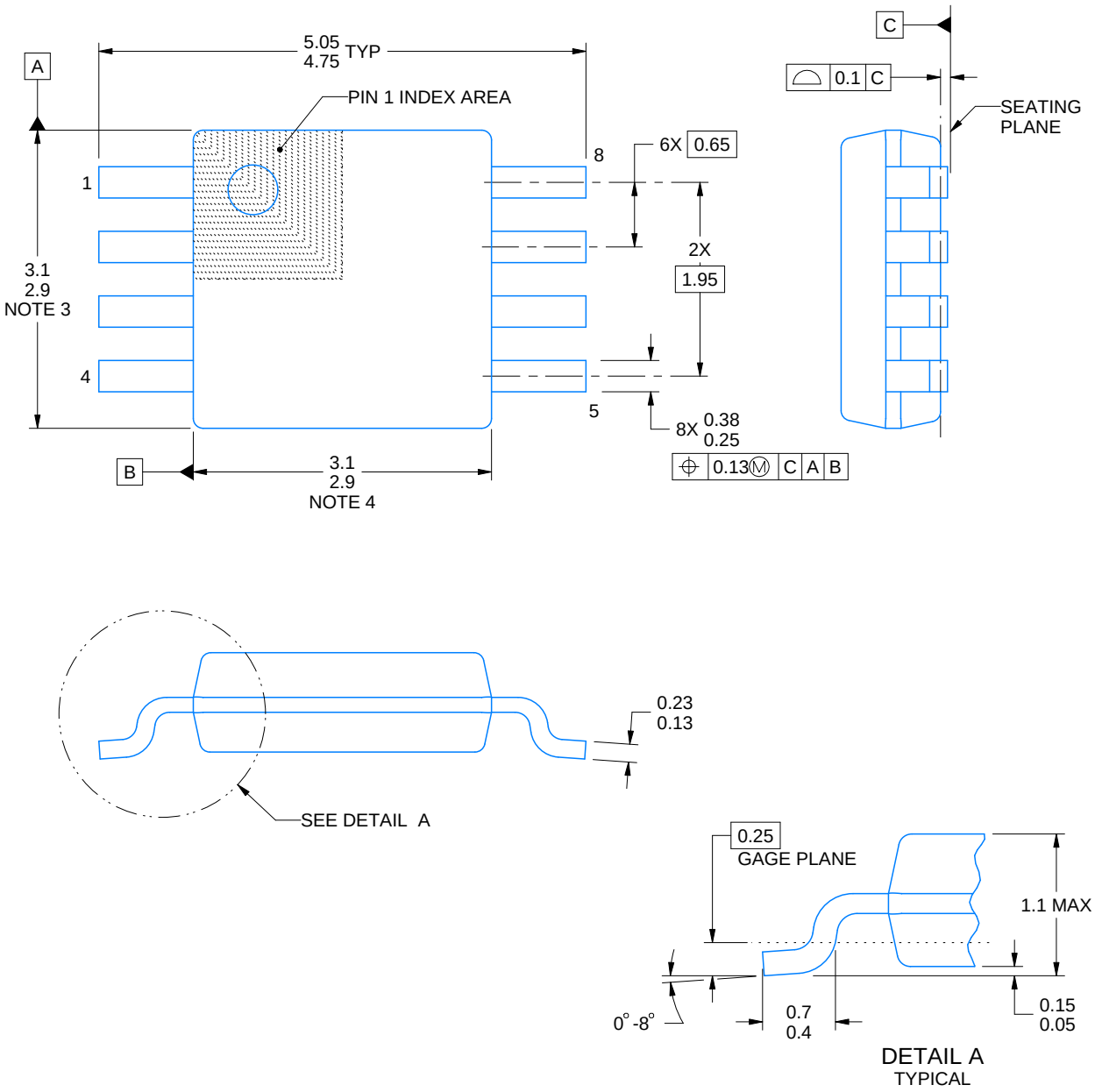
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2182ID	D	SOIC	8	75	509	7.9	3800	2.81

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

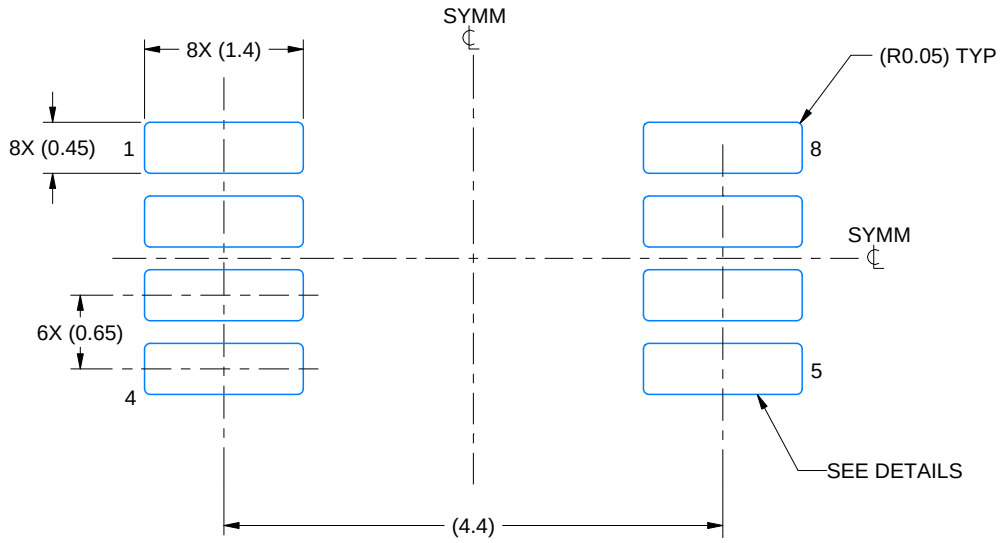
SMALL OUTLINE PACKAGE



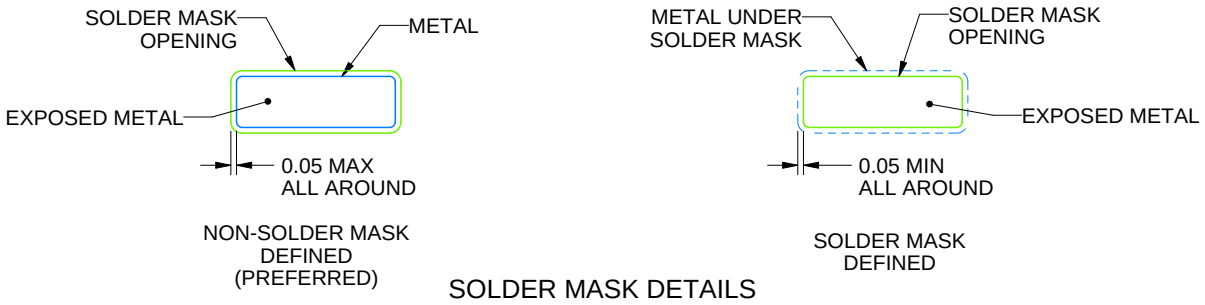
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

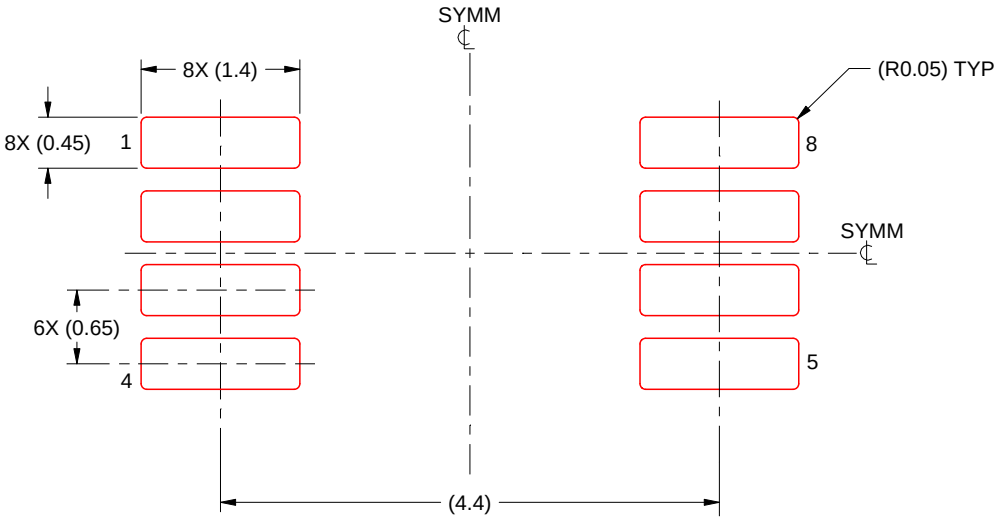


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

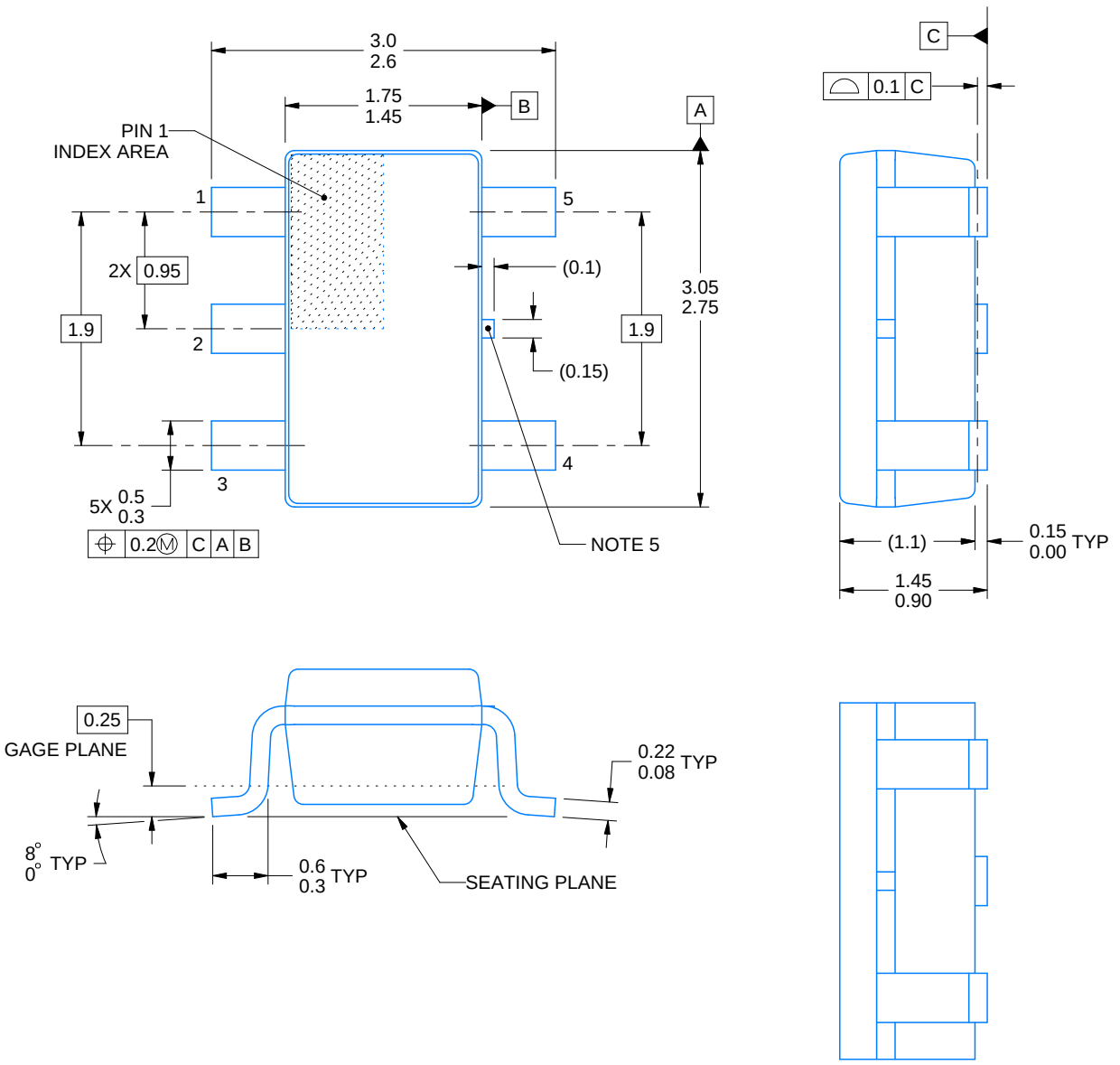
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

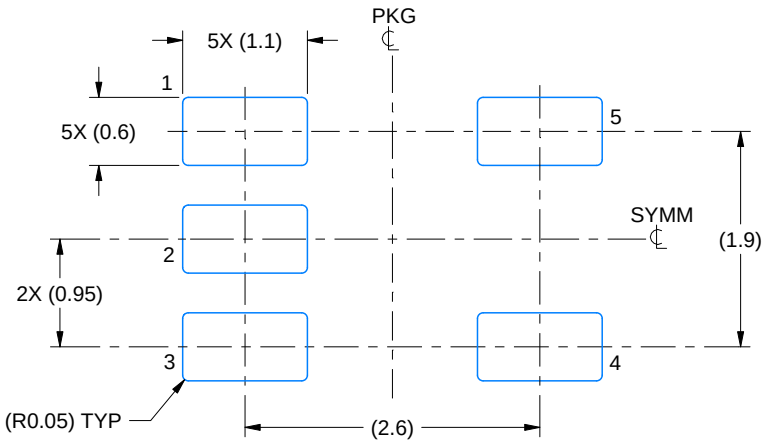


ALTERNATIVE PACKAGE SINGULATION VIEW

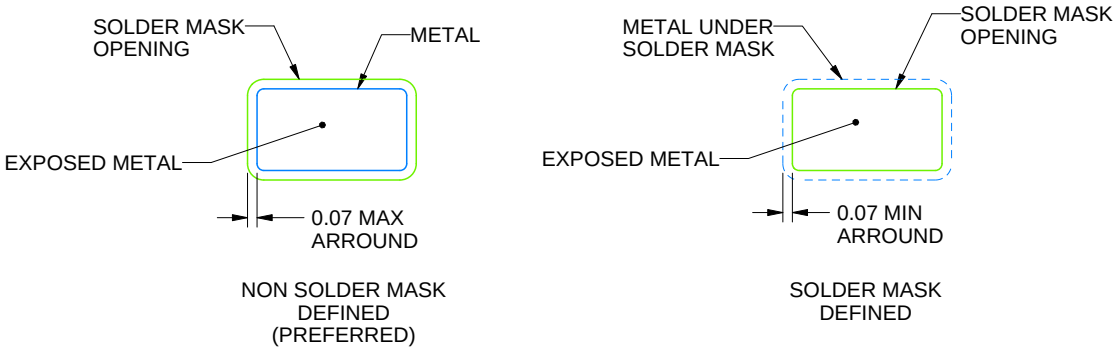
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

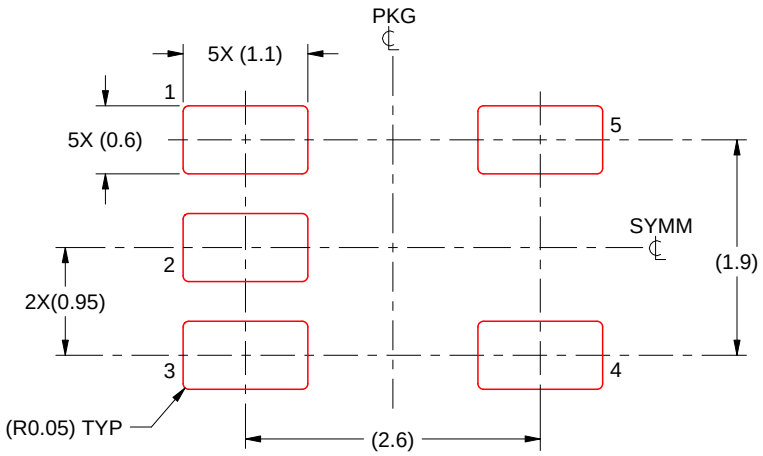


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



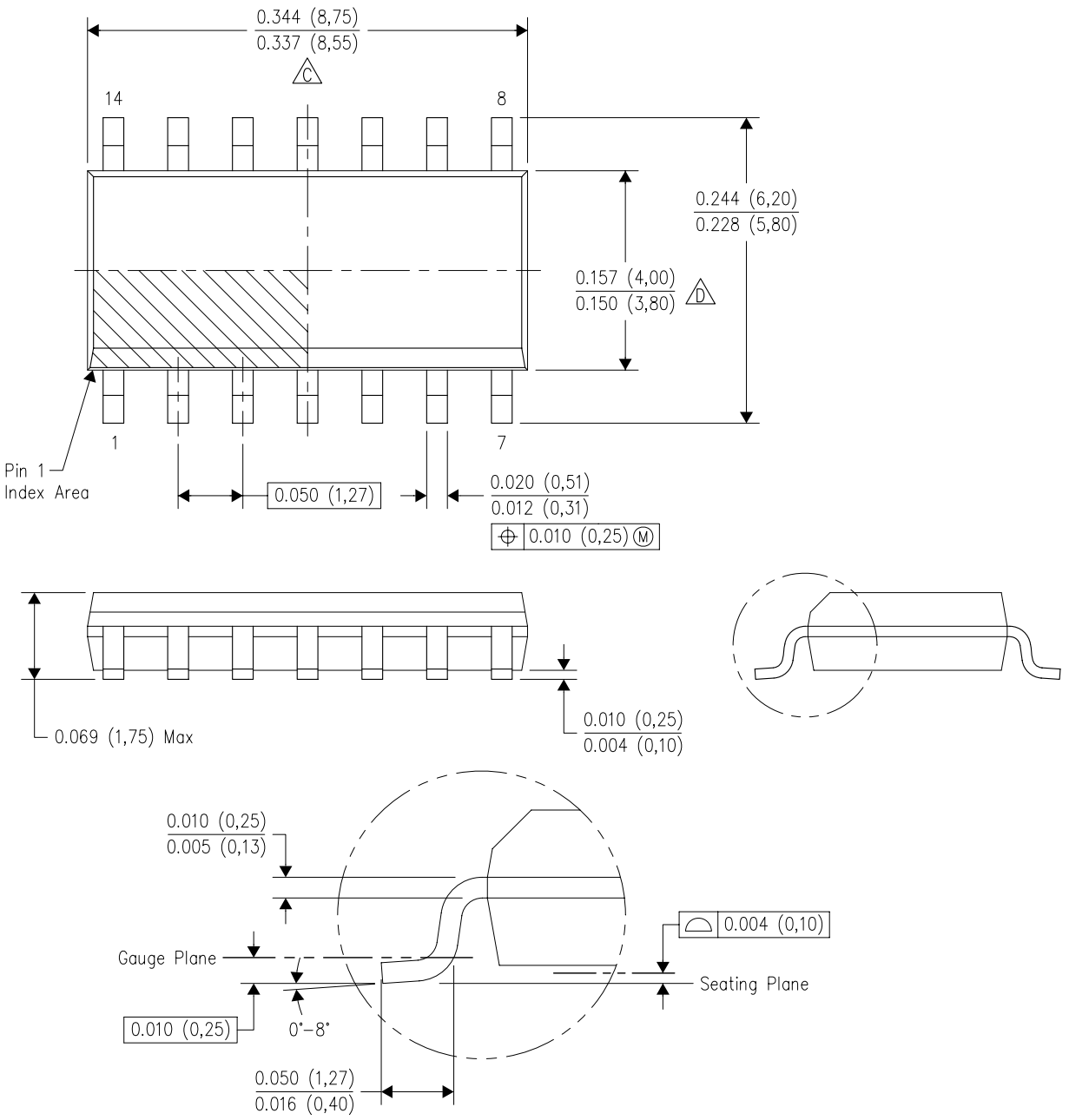
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

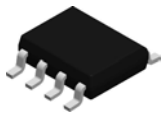
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

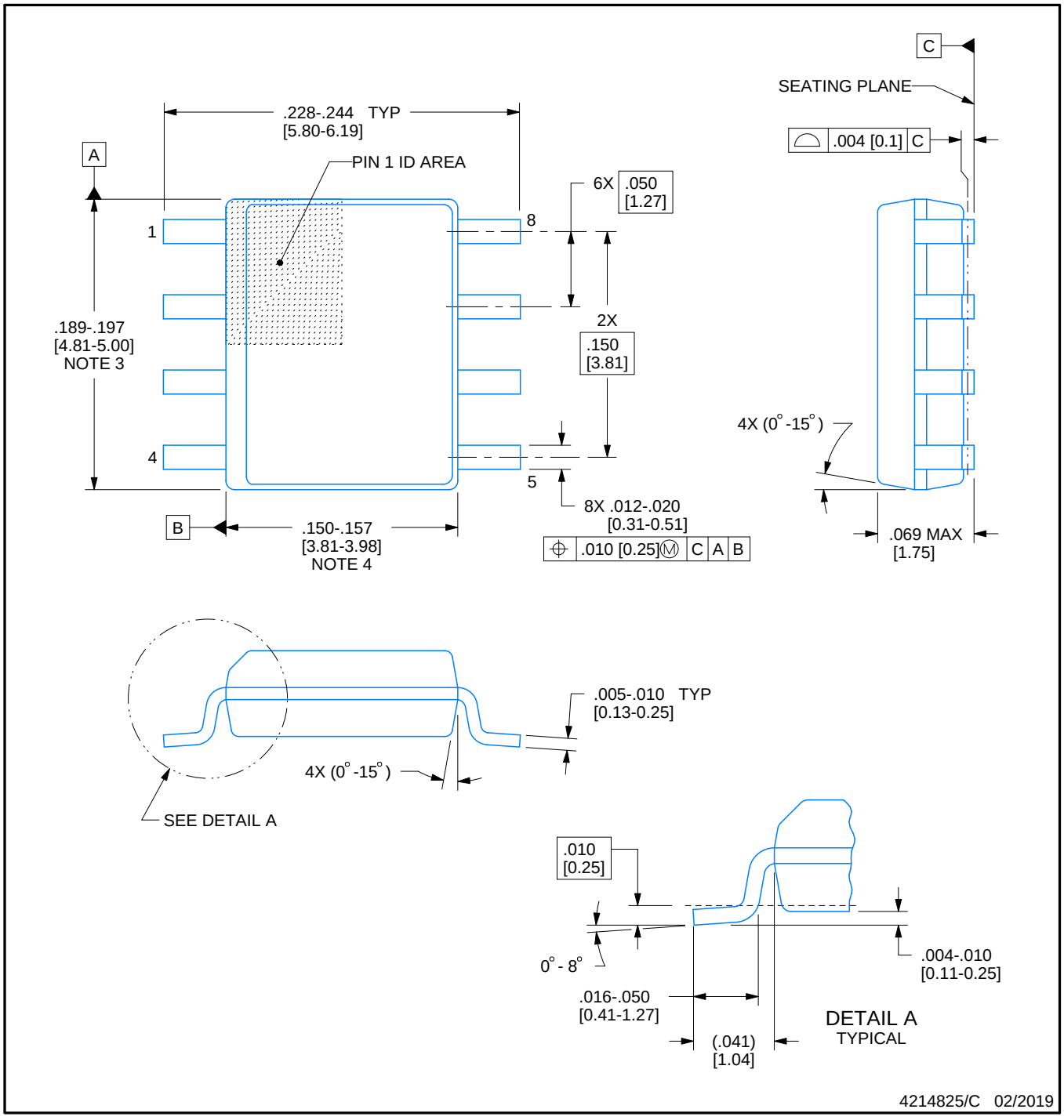


PACKAGE OUTLINE

D0008A

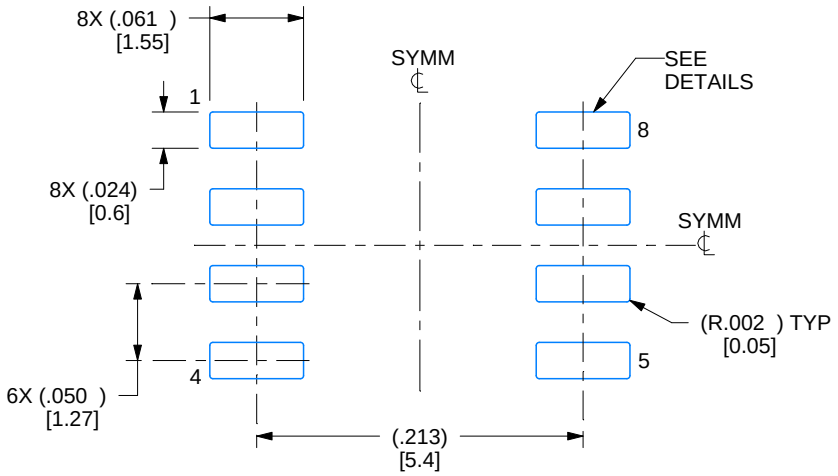
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

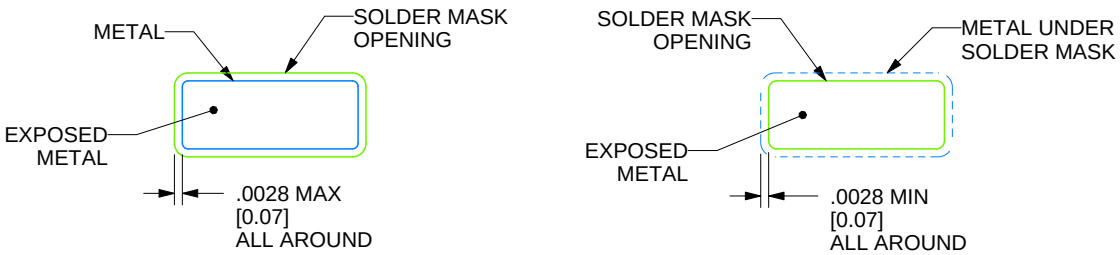


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

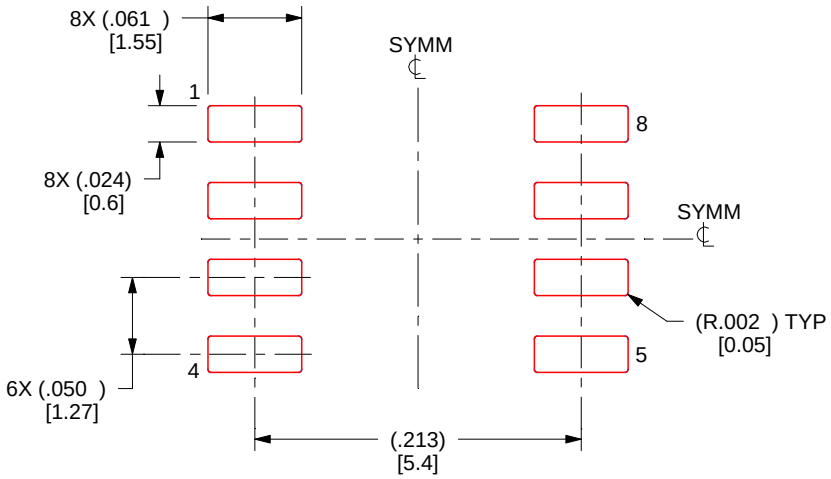
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司