TEXAS INSTRUMENTS

OPA373, OPA374
OPA2373, OPA2374, OPA4374

ZHCSHD0F – SEPTEMBER 2003 – REVISED SEPTEMBER 2016

OPAx373、OPAx374 6.5-MHz、585-μA、轨至轨 I/O CMOS 运算放大器

1 特性

- 低失调电压：5mV（最大值）
- 低 I_B：10pA（最大值）
- 高带宽：6.5MHz
- 轨至轨输入和输出
- 单电源：2.3V 至 5.5V
- 关断：OPAx373
- 额定温度高达 125°C
- *微型*封装：5 引脚 SOT-23、6 引脚 SOT-23、8 引脚 SOT-23 和 10 引脚 VSON

2 应用范围

- 便携式设备
- 电池供电设备
- 有源滤波器
- 驱动模数 (A/D) 转换器

3 说明

OPA373 和 OPA374 系列运算放大器具有低功率和低成本以及出色的带宽 (6.5MHz) 和转换速率 (5V/μs)。输入范围在电源轨基础上向外扩展了 200mV，而输出范围在电源轨 25mV 以内。它们具有较高的速度功率比，并且外形小巧，非常适合便携式和电池供电的 应用。

OPA373 系列包括关断模式。在逻辑控制下，这些放大器可从正常运行状态切换到待机电流小于 1μA 的状态。

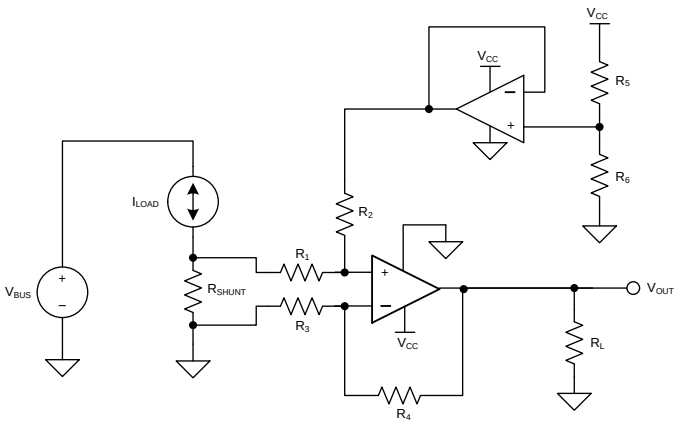
OPA373 和 OPA374 系列运算放大器使用额定电压为 2.7V 至 5.5V 的单电源或双电源，工作电压范围为 2.3V 至 5.5V。所有型号的额定温度范围为 –40°C 至 125°C。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
OPA373	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (6)	2.90mm x 1.60mm
OPA374	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (5)	2.90mm × 1.60mm
OPA2373	VSON (10)	3.00mm × 3.00mm
	VSSOP (10)	3.00mm × 3.00mm
OPA2374	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (8)	2.90mm × 1.63mm
OPA4374	SOIC (14)	8.65mm x 3.91mm
	TSSOP (14)	5.00 mm × 4.40 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

典型应用



Copyright © 2016, Texas Instruments Incorporated

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用范围 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 4
7 规格 ... 7
7.1 绝对最大额定值 ... 7
7.2 ESD 额定值 ... 7
7.3 建议的工作条件 ... 7
7.4 热性能信息：OPA373 ... 7
7.5 热性能信息：OPA374 ... 8
7.6 热性能信息：OPA2373 ... 8
7.7 热性能信息：OPA2374 ... 8
7.8 热性能信息：OPA4374 ... 8
7.9 电气特性：V_S = 2.7V 至 5.5V ... 9
7.10 典型特性 ... 11
8 详细 说明 ... 15
8.1 概述 ... 15
8.2 功能框图 ... 15
8.3 特性 说明 ... 15
8.4 器件功能模式 ... 18
9 应用和实现 ... 19
9.1 应用信息 ... 19
9.2 典型应用 ... 19
9.3 系统示例 ... 21
10 电源建议 ... 23
11 布局 ... 23
11.1 布局指南 ... 23
11.2 布局示例 ... 24
12 器件和文档支持 ... 25
12.1 器件支持 ... 25
12.2 文档支持 ... 26
12.3 相关链接 ... 26
12.4 接收文档更新通知 ... 26
12.5 社区资源 ... 26
12.6 商标 ... 26
12.7 静电放电警告 ... 26
12.8 术语表 ... 27
13 机械、封装和可订购信息 ... 27

4 修订历史记录

Changes from Revision E (May 2008) to Revision F **Page**

- 已添加 *ESD 额定值*表，*特性 说明*部分、*器件功能模式*、*应用和实施*部分、*电源建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分 ... 1
- 已删除 *封装/订购信息*表；请参阅本产品说明书末尾的*封装选项附录* ... 4
- 已删除 *引线温度*规格来自绝对最大额定值 ... 7
- 已更改 值（位于*热性能信息*表）与 JEDEC 标准一致 ... 7

版权 © 2003–2016, Texas Instruments Incorporated

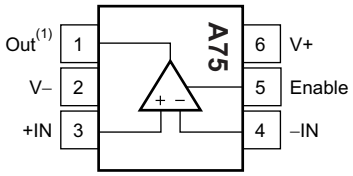
5 器件比较表

器件	通道数	关断	封装引脚				
			SOIC	SOT-23	VSON	VSSOP	TSSOP
OPA373	1	是	8	6	—	—	—
OPA2373	2	是	—	—	10	10	—
OPA374	1	无	8	5	—	—	—
OPA2374	2	否	8	8	—	—	—
OPA4374	4	否	14	—	—	—	14

版权 © 2003–2016, Texas Instruments Incorporated

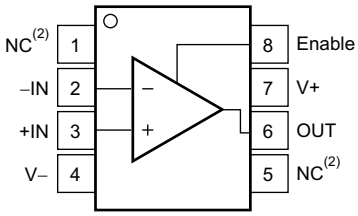
6 引脚配置和功能

OPA373：DBV 封装
6 引脚 SOT-23
俯视图



(1) 6 引脚 SOT-23 中的引脚 1 通过如图所示的封装标记的方向确定。

OPA373：D 封装
8 引脚 SOIC
俯视图

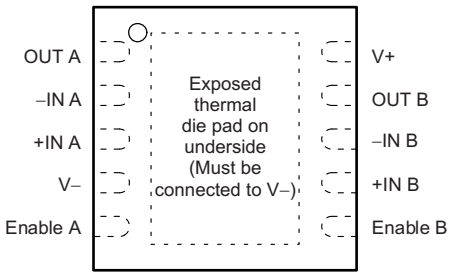


(2) NC 表示无内部连接。

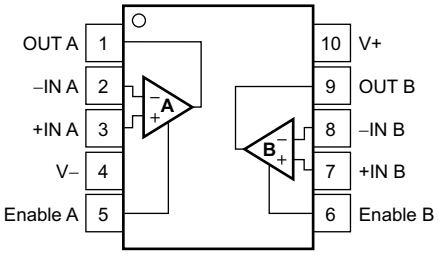
引脚功能：OPA373

引脚			I/O	说明
名称	SOIC	SOT-23		
使能	8	5	I	使能
–IN	2	4	I	负（反相）输入
+IN	3	3	I	正（同相）输入
NC	1, 5	—	—	没有与内部电路连接（可以悬空）
OUT	6	1	O	输出
V–	4	2	—	负电源（最低）
V+	7	6	—	正电源（最高）

OPA2373：DGS 封装
10 引脚 VSON
俯视图



OPA2373：DRC 封装
10 引脚 VSSOP
俯视图

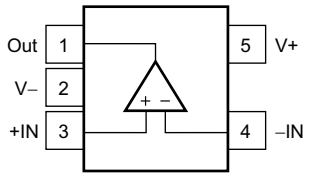


引脚功能: OPA2373

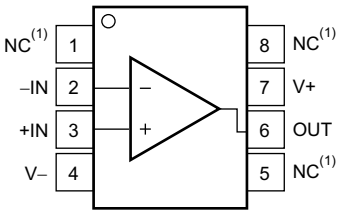
引脚			I/O	说明
名称	VSON	VSSOP		
Enable A	5	5	I	使能 A 放大器
Enable B	6	6	I	使能 B 放大器
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	8	8	I	反相输入，通道 B
+IN B	7	7	I	同相输入，通道 B
OUT A	1	1	O	输出，通道 A
OUT B	9	9	O	输出，通道 B
V–	4	4	—	负电源（最低）
V+	10	10	—	正电源（最高）

版权 © 2003–2016, Texas Instruments Incorporated

OPA374：DBV 封装
5 引脚 SOT-23
俯视图



OPA374：D 封装
8 引脚 SOIC
俯视图

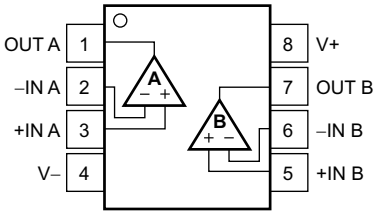


(1) NC 表示无内部连接。

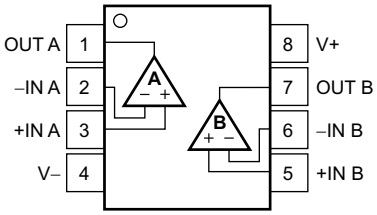
引脚功能：OPA374

引脚			I/O	说明
名称	SOIC	SOT-23		
–IN	2	4	I	负（反相）输入
+IN	3	3	I	正（同相）输入
NC	1、5、8	—	—	没有与内部电路连接（可以悬空）
OUT	6	1	O	输出
V–	4	2	—	负电源（最低）
V+	7	5	—	正电源（最高）

OPA2374：DCN 封装
8 引脚 SOT-23
俯视图



OPA2374：D 封装
8 引脚 SOIC
俯视图

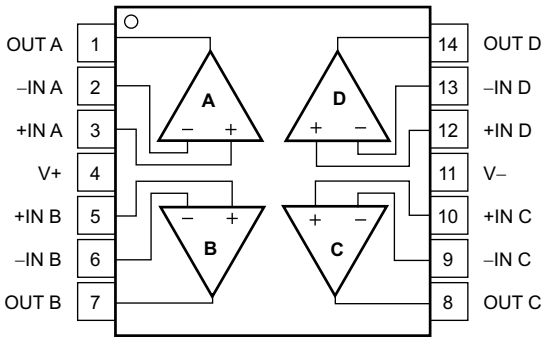


引脚功能: OPA2374

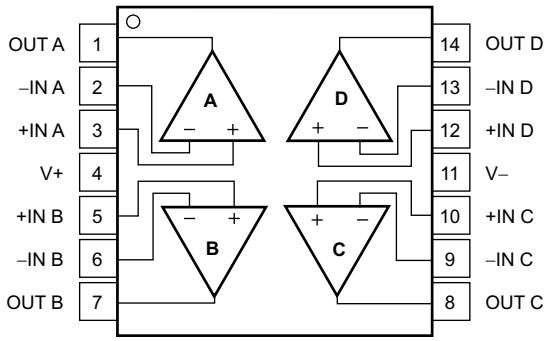
引脚			I/O	说明
名称	SOIC	SOT-23		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
V–	4	4	—	负电源（最低）
V+	8	8	—	正电源（最高）

版权 © 2003–2016, Texas Instruments Incorporated

OPA4374：PW 封装
14 引脚 TSSOP
俯视图



OPA4374：D 封装
14 引脚 SOIC
俯视图



引脚功能**: OPA4374**

引脚			I/O	说明
名称	**SOIC**	**TSSOP**		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
–IN C	9	9	I	反相输入，通道 C
+IN C	10	10	I	同相输入，通道 C
–IN D	13	13	I	反相输入，通道 D
+IN D	12	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	8	8	O	输出，通道 C
OUT D	14	14	O	输出，通道 D
V–	11	11	—	负电源（最低）
V+	4	4	—	正电源（最高）

版权 © 2003–2016, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源		7	V
	信号输入引脚(2)	−0.5	(V+) + 0.5	
电流	信号输入引脚(2)	-10	10	mA
	输出短路(3)	连续		
温度	工作温度，T_A	-55	150	°C
	结温，T_J		150	
	储存温度，T_{stg}	–65	150	

(1) 超出这些列出的*绝对最大额定值*可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出*推荐的操作条件*下的任何其它操作时，器件能够功能性操作. 在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

7.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±3000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	最大值	单位
	电源电压	±1.35 (2.7)	±2.75 (5.5)	V
T_A	工作温度	-40	125	°C

7.4 热性能信息：OPA373

热指标(1)		OPA373		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	128.4	184.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76.7	146.2	°C/W
$R_{\theta JB}$	结至电路板热阻	68.8	36.4	°C/W
ψ_{JT}	结至顶部的特征参数	27.9	33.6	°C/W
ψ_{JB}	结至电路板的特征参数	68.3	35.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

版权 © 2003–2016, Texas Instruments Incorporated

7.5 热性能信息：OPA374

热指标(1)		OPA374		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	125.1	220.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.7	129	°C/W
$R_{\theta JB}$	结至电路板热阻	65.5	46.4	°C/W
ψ_{JT}	结至顶部的特征参数	26.2	21	°C/W
ψ_{JB}	结至电路板的特征参数	65	45.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.6 热性能信息：OPA2373

热指标(1)		OPA2373		单位
		DGS (VSON)	DRC (VSSOP)	
		10 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	170.6	56.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	59.8	76.7	°C/W
$R_{\theta JB}$	结至电路板热阻	91	30.6	°C/W
ψ_{JT}	结至顶部的特征参数	10.4	3.7	°C/W
ψ_{JB}	结至电路板的特征参数	89.6	30.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	11.4	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.7 热性能信息：OPA2374

热指标(1)		OPA2374		单位
		D (SOIC)	DCN (SOT-23)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	117.8	171.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	63.1	73.5	°C/W
$R_{\theta JB}$	结至电路板热阻	58.4	106.3	°C/W
ψ_{JT}	结至顶部的特征参数	19.3	15.4	°C/W
ψ_{JB}	结至电路板的特征参数	57.9	105.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

7.8 热性能信息：OPA4374

热指标(1)		OPA4374		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	86.5	112.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45	34.1	°C/W
$R_{\theta JB}$	结至电路板热阻	41.1	57.1	°C/W
ψ_{JT}	结至顶部的特征参数	12.3	2.9	°C/W
ψ_{JB}	结至电路板的特征参数	40.8	56.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

版权 © 2003–2016, Texas Instruments Incorporated

7.9 电气特性：V_S = 2.7V 至 5.5V

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = 5V			1	5	mV
	输入失调电压与温度间的关系	T_A = –40°C 至 125°C				6.5	mV
dV_{OS}/dT	输入失调电压与漂移间的关系	T_A = -40°C 至 +125°C			3		µV/°C
PSRR	输入失调电压与电源间的关系	V_S = 2.7V 至 5.5V，V_{CM} < (V+) – 2V	T_A = 25°C		25	100	µV/V
			T_A = –40°C 至 125°C			150	
	通道分离，直流				0.4		µV/V
		f = 1 kHz 时			128		dB
输入电压							
V_{CM}	共模电压范围			(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比	(V–) – 0.2V < V_{CM} < (V+) – 2V	T_A = 25°C	80	90		dB
			T_A = –40°C 至 125°C	70			
		V_S = 5.5V，(V–) – 0.2V < V_{CM} < (V+) + 0.2V	T_A = 25°C	66			dB
			T_A = –40°C 至 125°C	60			dB
输入偏置电流							
I_B	输入偏置电流				±0.5	±10	pA
I_{OS}	输入失调电流				±0.5	±10	pA
输入阻抗							
	差分				10^{13} || 3		Ω || pF
	共模				10^{13} || 6		Ω || pF
噪声							
	输入电压噪声	V_{CM} < (V+) – 2V，f = 0.1Hz 至 10Hz			10		μV_{PP}
e_n	输入电压噪声密度	V_{CM} < (V+) – 2V，f = 10kHz			15		nV/√Hz
i_n	输入电流噪声密度	V_{CM} < (V+) – 2V，f = 10kHz			4		fA/√Hz
开环增益							
A_{OL}	开环电压增益	V_S=5V，R_L=100kΩ，0.025V<V_O<4.975V	T_A = 25°C	94	110		dB
			T_A = –40°C 至 125°C	80			
		V_S = 5V，R_L = 5kΩ，0.125V < V_O < 4.875V	T_A = 25°C	94	106		dB
			T_A = –40°C 至 125°C	80			
输出							
	相对于电源轨的电压输出摆幅	R_L = 100kΩ	T_A = 25°C		18	25	mV
			T_A = –40°C 至 125°C			25	mV
		R_L = 5kΩ	T_A = 25°C		100	125	mV
			T_A = –40°C 至 125°C			125	mV
I_{SC}	短路电流			请参阅 *典型特性*			
C_{LOAD}	容性负载驱动			请参阅 *典型特性*			
R_O	开环输出阻抗	f = 1MHz，I_O = 0mA			220		Ω

电气特性：V_S = 2.7V 至 5.5V (接下页)

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积	C_L = 100pF			6.5		MHz
SR	压摆率	C_L = 100pF，G = +1			5		V/µs
t_S	建立时间	0.1%，C_L = 100pF，V_S = 5V，2V 阶跃，G = +1			1		µs
		0.01%，C_L = 100pF，V_S = 5V，2V 阶跃，G = +1			1.5		µs
	过载恢复时间	C_L = 100pF，V_{IN} ● 增益 > V_S			0.3		µs
THD+N	总谐波失真 + 噪声	C_L = 100pF，V_S = 5V，V_O = 3V_{PP}，G = +1，f = 1kHz			0.0013%		
启用或关断							
$t_{关闭}$	关闭时间				3		µs
t_{ON}	导通时间				12		µs
V_L	逻辑低阈值	关断		V–		(V–) + 0.8	V
V_H	逻辑高阈值	放大器处于正常工作状态		(V–) + 2		V+	V
	使能引脚的输入偏置电流				0.2		µA
$I_{Q(sd)}$	关断时的静态电流（每个放大器）				< 0.5	1	µA
电源							
V_S	额定电压范围			2.7		5.5	V
	工作电压范围				2.3 至 5.5		V
I_Q	静态电流（每个放大器）	I_O=0mA	T_A = 25°C		585	750	µA
			T_A = –40°C 至 125°C			800	µA
温度							
	额定温度范围			-40		125	°C
T_A	温度范围			–55		150	°C
T_{stg}	贮存温度			–65		150	°C

版权 © 2003–2016, Texas Instruments Incorporated

7.10 典型特性

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

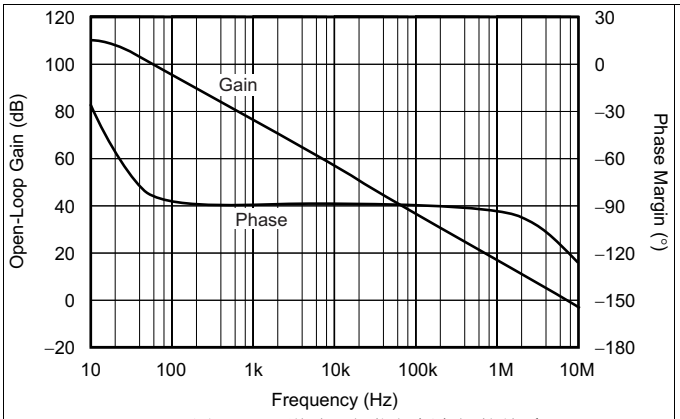


图 **1.** 开环增益和相位与频率间的关系

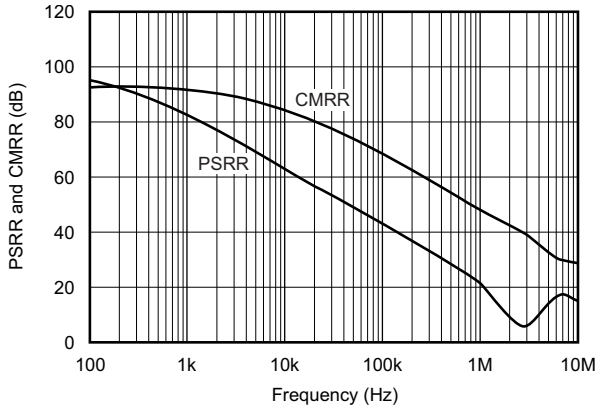


图 **2.** 电源和共模抑制比与频率间的关系

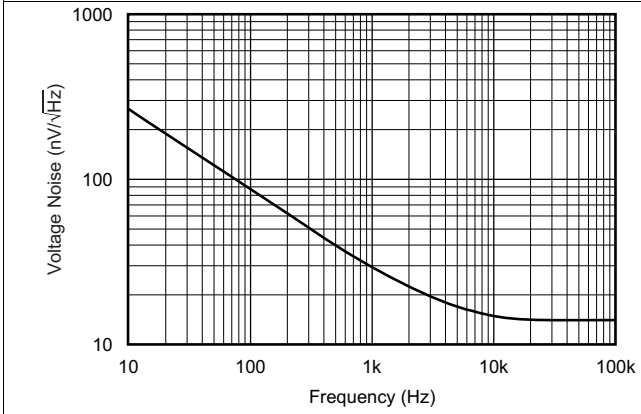


图 **3.** 输入电压噪声频谱密度与频率间的关系

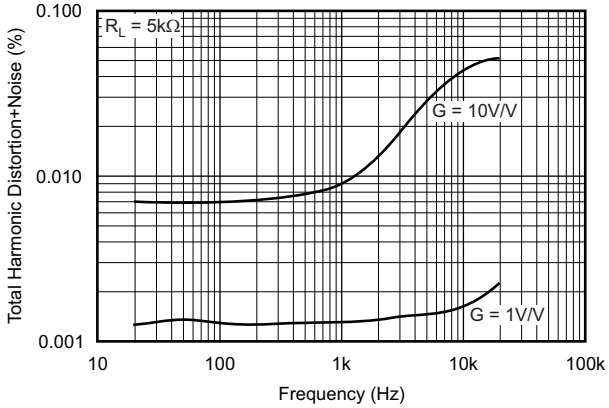


图 **4.** 总谐波失真 **+** 噪声与频率间的关系

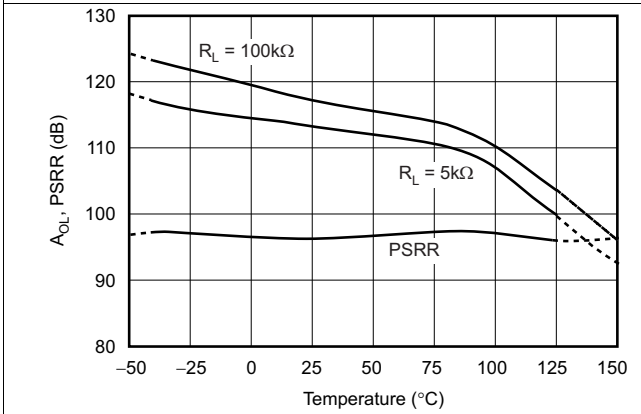


图 **5.** 开环增益和电源抑制比与温度间的关系

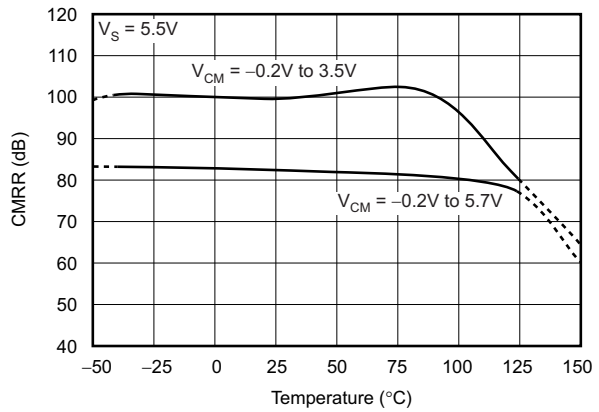


图 **6.** 共模抑制比与温度间的关系

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

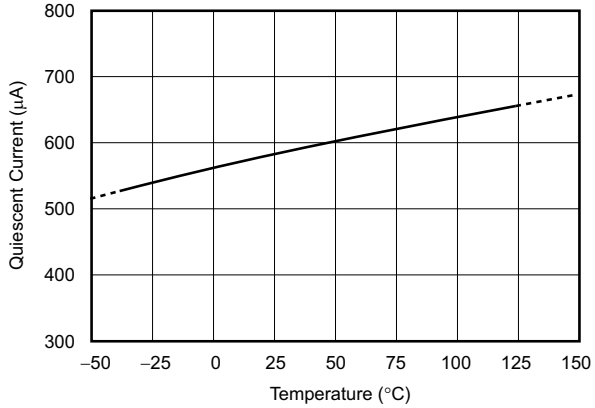


图 **7.** 静态电流与温度间的关系

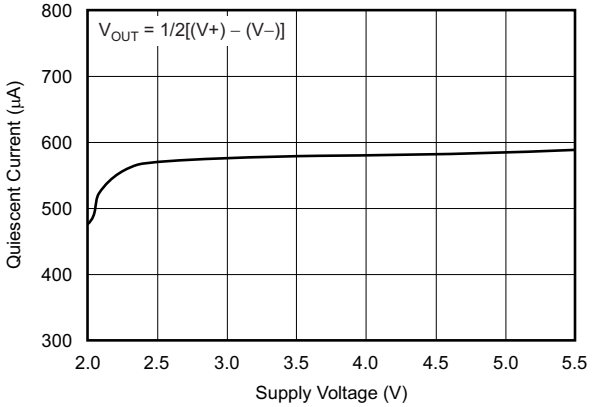


图 **8.** 静态电流与电源电压间的关系

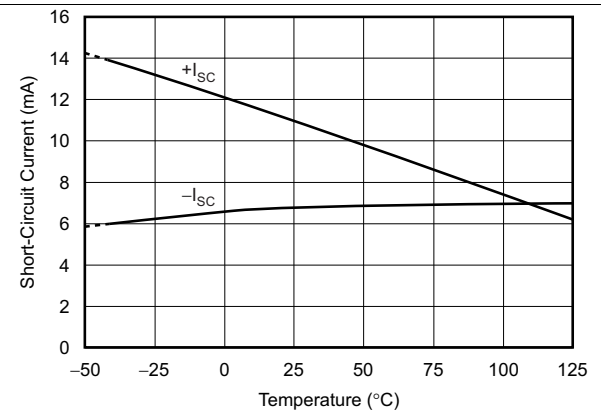


图 **9.** 短路电流与温度间的关系

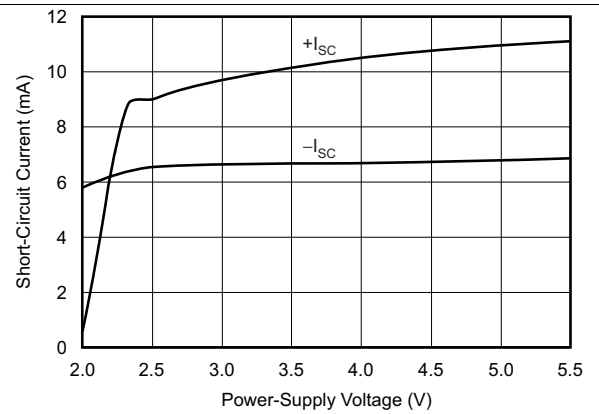


图 **10.** 连续短路电流与电源电压间的关系

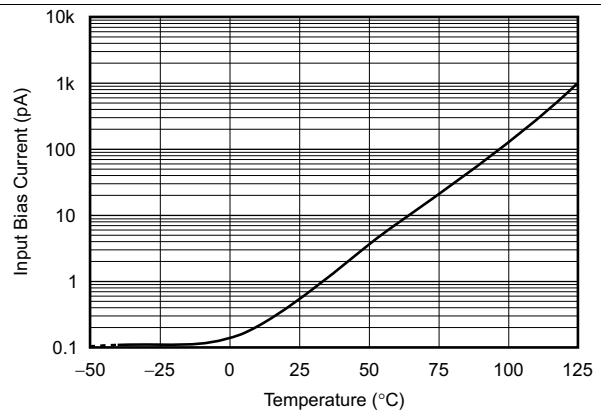


图 **11.** 输入偏置电流与温度间的关系

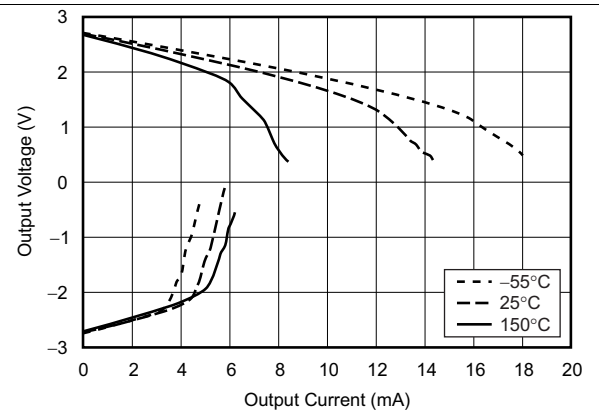


图 **12.** 输出电压摆幅与输出电流间的关系

版权 © 2003–2016, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

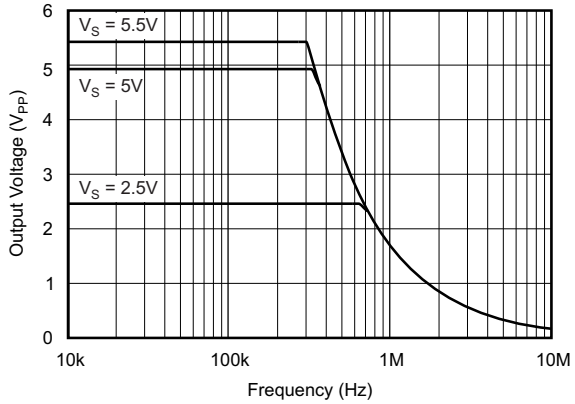


图 **13.** 最大输出电压与频率间的关系

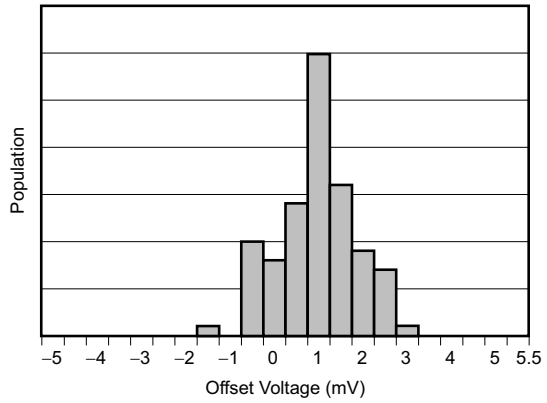


图 **14.** 失调电压产生分布

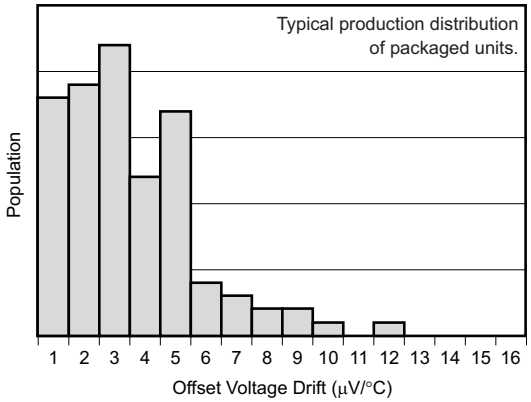


图 **15.** 失调电压漂移幅度产生分布

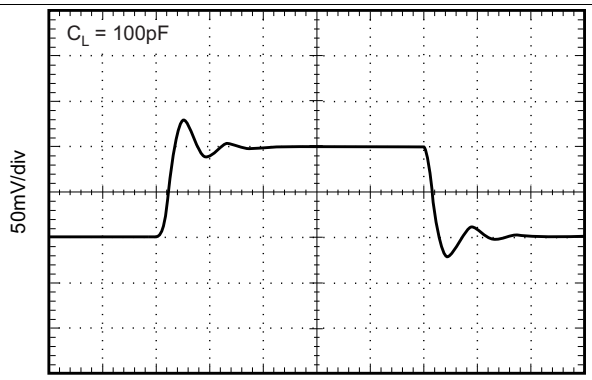


图 **16.** 小信号阶跃响应

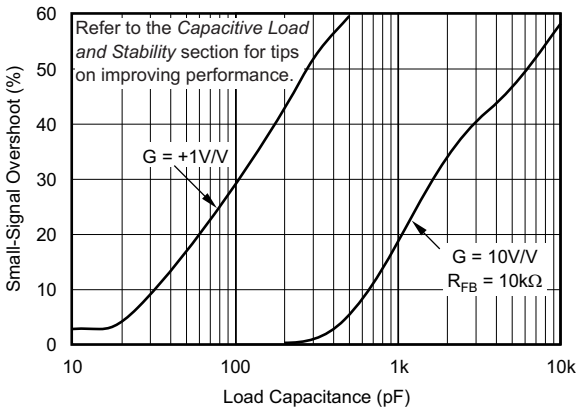


图 **17.** 小信号过冲与负载电容间的关系

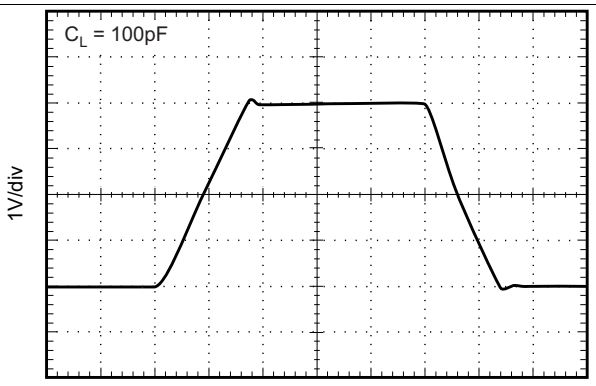


图 **18.** 大信号阶跃响应

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

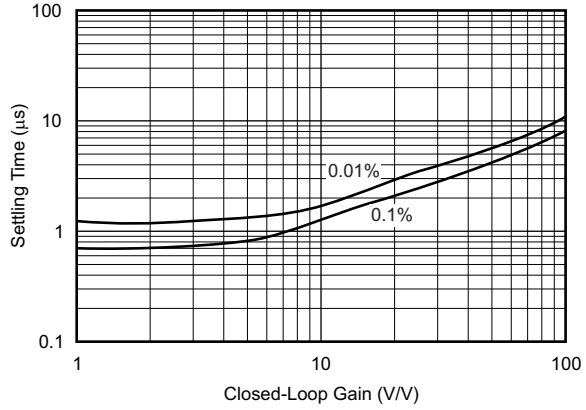


图 **19.** 趋稳时间与闭环增益间的关系

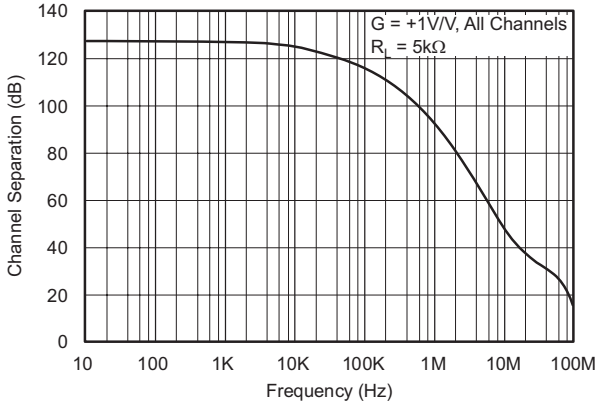


图 **20.** 通道分离与频率间的关系

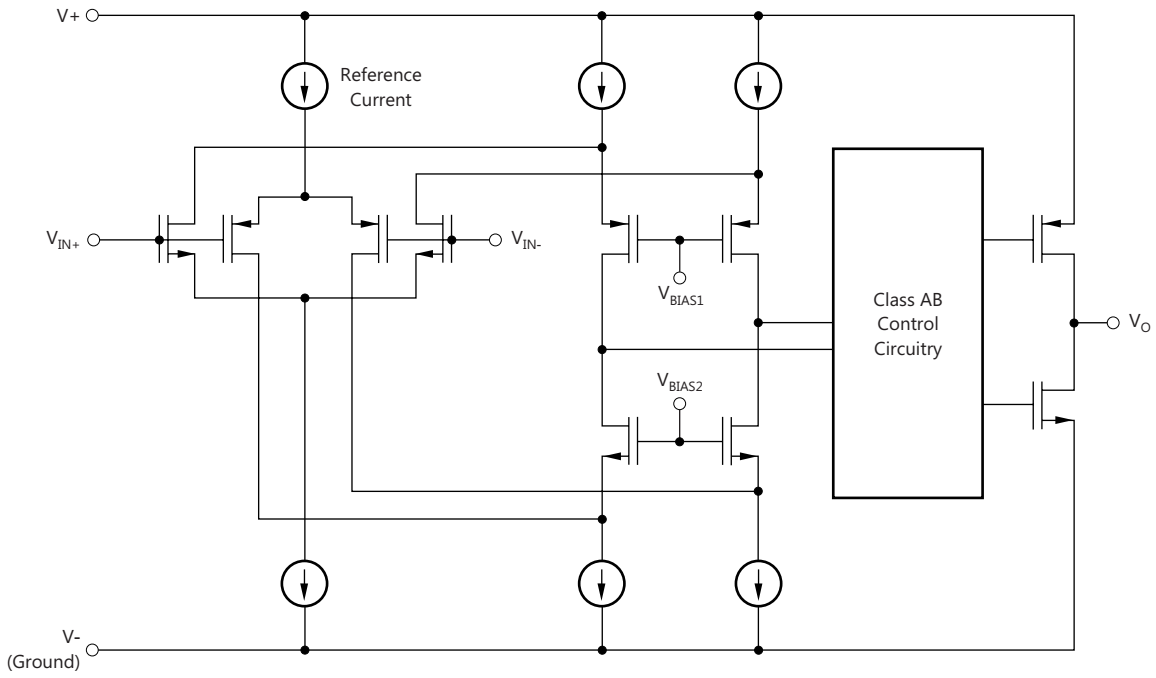
版权 © 2003–2016, Texas Instruments Incorporated

8 详细 说明

8.1 概述

OPAx373 和 OPAx374 运算放大器适用于广泛的通用 应用。作为具备出色交流性能的单位增益稳定器件，这些运算放大器非常适合音频 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的 100kΩ 的负载。这些器件的输入共模电压范围包括两个电源轨，因此几乎是任何电源电压最高达
5.5V 的单电源应用的理想选择。轨至轨输入和输出摆幅可大幅扩大器件总体动态范围（尤其在低电源 应用中

8.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

8.3 特性 说明

8.3.1 工作电压

OPA373 和 OPA374 运算放大器的额定电源电压范围是 2.7V 至 5.5V
(±1.35V 至 ±2.75V)，并且在该范围内进行了测试。但是，实际的电源电压可能介于 2.3V 至 5.5V（±1.15V 至 ±2.75V）之间。高于 7V（绝对最大值）的电源电压会对放大器造成永久性损坏。*典型特性* 中介绍了随电源电压或温度的变化而变化的参数。

特性 说明 (接下页)

8.3.2 共模电压范围

OPA373 和 OPA374 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV。扩展的范围是由一个互补输入级实现的：一个 N 通道输入差分对与一个 P 通道差分对并联。当输入电压靠近正轨，通常在 (V+) – 1.65V 至高于正电源电压 200mV 之间时，N 通道对有效；而当输入在
低于负电源电压 200mV 至大约 (V+) – 1.65V 之间时，P 通道对打开。在通常介于 (V+) – 1.9V 和 (V+) – 1.4V 之间的 500mV 转换区域内，两个对都打开。此 500mV 转换区域（如 图 21 中所示）可能会随工艺不同而波动 ±300mV。因此，此转换区域（两个输入级都打开）在低端上的范围介于
(V+) – 2.2V 至 (V+) – 1.7V 之间，在高端上的范围高达 (V+) – 1.6V 至 (V+) – 1.1V。在
500mV 转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 可能会降级。

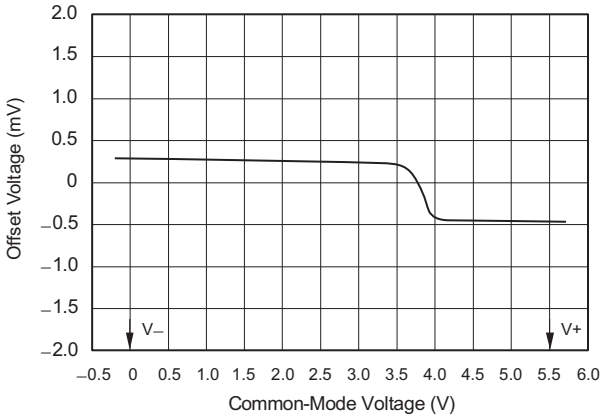


图 **21.** 室温下典型转换区域的运行状态

8.3.3 轨至轨输入

输入共模范围从 (V-) - 0.2 V 扩展到 (V+) + 0.2 V。若要正常运行，输入必须限制在此范围内。绝对最大输入电压比电源电压高 500mV。大于输入共模范围但小于最大输入电压的输入虽然无效，但是不会对运算放大器造成任何损坏。与其他某些运算放大器不同，如果输入电流受到限制，输入可能会超过电源，而且不会产生相位反转，如 图 22 中所示。

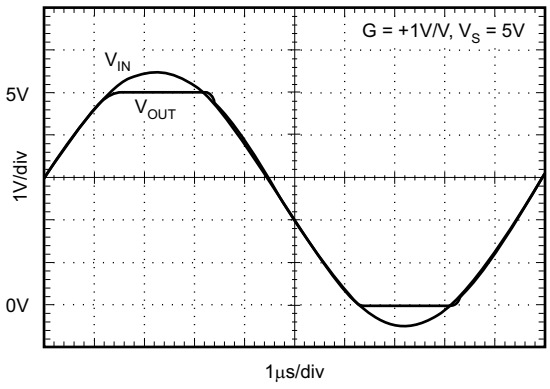
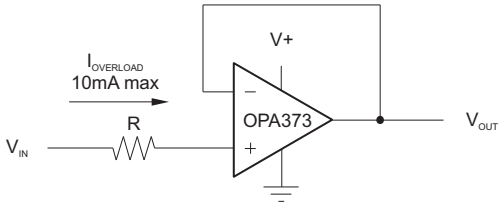


图 **22. OPA373**：输入电压大于电源电压时无相位反转

通常，输入偏置电流约为 500fA；但是，输入电压超出电源电压 500mV 以上可能导致过多电流流入或流出输入引脚。如果输入引脚的电流不超过 10mA，则系统可以承受超过电源电压 500mV 以上的瞬时电压。通过输入电阻器可轻松实现限制的目的，如 图 23 所示。许多输入信号本就会将电流限制在 10mA 以下；因此不需要使用限制电阻器。

版权 © 2003–2016, Texas Instruments Incorporated

特性 说明 (接下页)



Copyright © 2016, Texas Instruments Incorporated

图 **23.** 在电压超过电源电压时提供输入电流保护

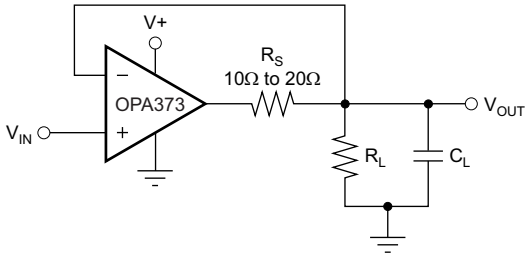
8.3.4 轨至轨输出

采用具有共源晶体管的 AB 类输出级来实现轨至轨输出。对于轻电阻负载 (> 100kΩ)，输出电压通常可以在电源轨 18mV 范围内摆动。对于中等电阻负载（5kΩ 至 50kΩ），输出通常可以在电源轨 100mV 范围内摆动，并且保持高开环增益。请参阅 图 12 了解更多信息。

8.3.5 电容负载和稳定性

OPA373 系列运算放大器可驱动宽范围的电容负载。不过在某些特定情况下，所有运算放大器都可能会变得不稳定。在确定稳定性时，运算放大器配置、增益和负载值是其中几个要考虑的因素。采用单位增益配置的运算放大器最容易受到电容负载的影响。电容负载受运算放大器输出电阻和任何其他负载电阻的影响，在小信号响应中生成一个使相角裕量减小的极点。OPA373 系列运算放大器在单位增益配置下的运行十分出色，在纯电容负载达到大约 250pF 时仍然保持稳定。提高增益使放大器能够驱动更大的电容。有关更多详细信息，请参阅 图 17。

增强单位增益配置条件下电容负载驱动能力的方法之一就是给输出串联插入一个 10Ω 到 20Ω 的小电阻器 R_S，如 图 24 中所示。此配置可显著减少振铃，同时保持纯电容负载的直流性能。如果电阻负载与电容负载并联，R_S 必须放在反馈环路中（如图所示），使反馈环路能够补偿 R_S 和 R_L 产生的分压。



Copyright © 2016, Texas Instruments Incorporated

图 **24.** 采用单位增益配置的串联电阻器可增强电容负载驱动能力

特性 说明 (接下页)

在反相单位增益配置中，运算放大器输入处的电容和增益设置电阻器之间相互作用会减小相补角，从而降低电容负载驱动能力。使用低阻值电阻器可实现最佳性能。但是，当必须使用高阻值电阻器时，可以在反馈中插入一个低电容值（4pF 至 6pF）电容器 C_{FB}，如 图 25 所示。该方法通过补偿电容效应，C_{IN}（其中包括放大器的输入电容和印刷电路板 (PCB) 的寄生电容），可大大减少过冲。

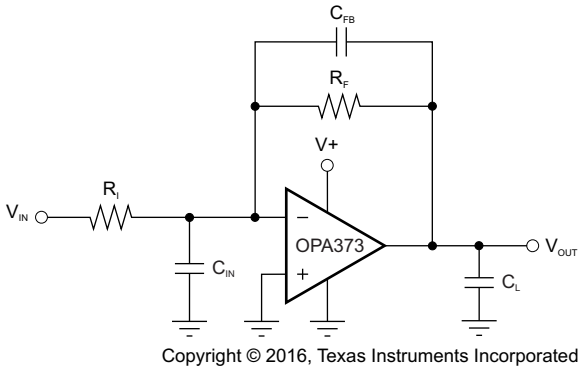


图 **25.** 增强电容负载驱动能力

例如，当驱动反相单位增益配置中的一个 100pF 负载时，与 10kΩ 反馈电阻器并联增加一个 6pF 电容器会将过冲从 57% 降低到 12%，如 图 26 所示。

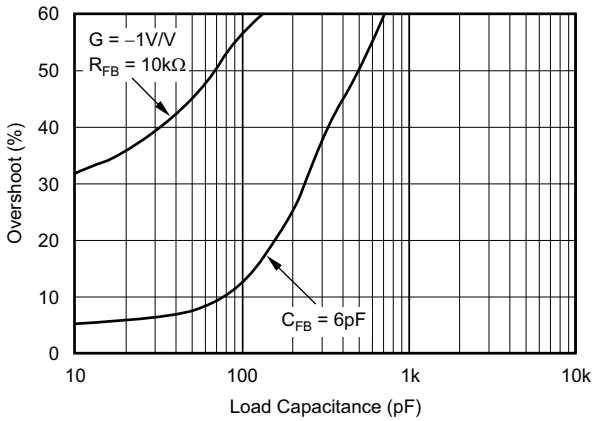


图 **26.** 增强电容负载驱动能力

8.3.6 启用或关断

OPA373 和 OPA374 系列运算放大器通常需要 585μA 静态电流。OPA373 的启用或关断功能可以关断运算放大器，将该电流减小到低于 1μA。

8.4 器件功能模式

OPAx374 具有单一功能模式，可在电源电压大于
2.7V (±1.35V) 时工作。OPAx374 的最大电源电压为 5.5V (±2.75V)。

OPAx373 具有两个功能模式：活动和关断。当使能引脚的电压介于 V– 至 (V–) + 0.8V 时，器件处于关断状态，并消耗不到 0.5μA 的静态电流（典型）。要激活或启用器件，使能引脚处的电压必须介于 (V–) + 2V 至 V+ 之间。处于活动状态时，对电源的要求与 OPAx374 相同。

版权 © 2003–2016, Texas Instruments Incorporated

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

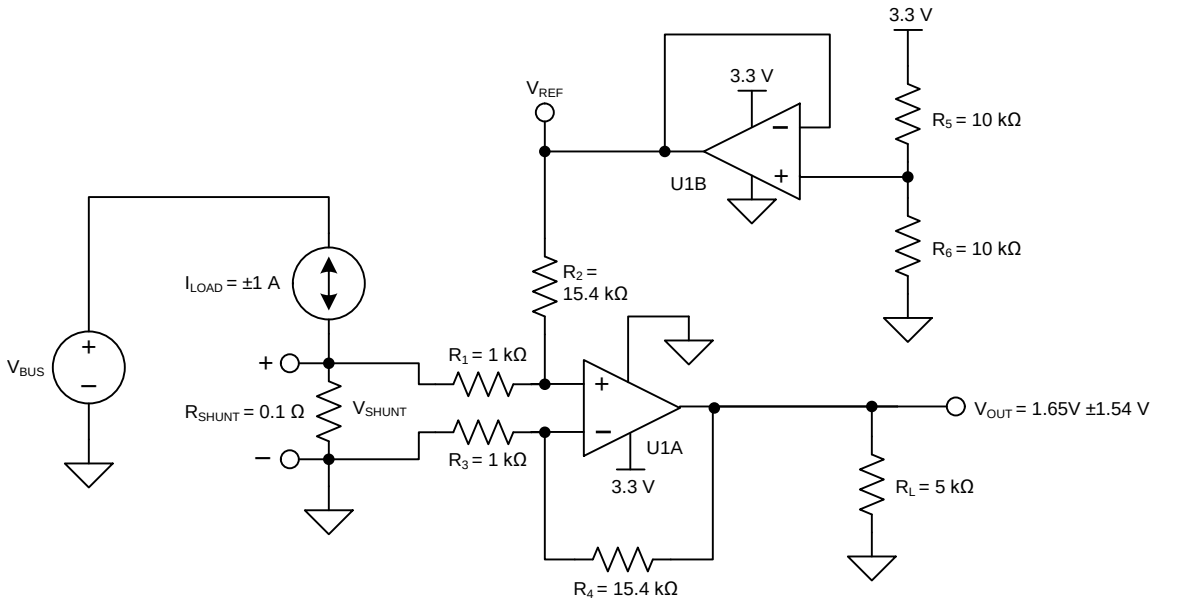
9.1 应用信息

OPA373 和 OPA374 系列运算放大器的单位增益稳定，适合各类通用 应用。轨至轨输入和输出使它们非常适合驱动采样模数转换器 (ADC)。它们具有出色的交流性能，适合音频 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的 100kΩ 的负载。

输入共模电压范围包括两个电源轨，使得 OPA373 和 OPA374 系列运算放大器几乎可以用于任何电源电压最高达 5.5V 的单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围，尤其在低电源 应用中。必须使用 0.01μF 陶瓷电容器将电源引脚旁通。

9.2 典型应用

单电源低侧双向电流感应解决方案可检测到从 -1A 到 1A 的负载电流。单端输出范围从 110mV 到 3.19V。该设计使用的是 OPA2374，这考虑的是它出色的轨至轨输入和输出范围以及性比价。其中一个放大器配置为差分放大器，另一个放大器提供参考电压。



Copyright © 2016, Texas Instruments Incorporated

图 **27.** 单电源低侧双向电流感应解决方案

9.2.1 设计要求

此设计要求如下：

- 电源电压：3.3V
- 输入：-1A 至 1A
- 输出：1.65V ±1.54V（110mV 至 3.19V）

典型应用 (接下页)

9.2.2 详细设计流程

负载电流，I_{LOAD}，流经分流电阻器 (R_{SHUNT})，产生分流电压，V_{SHUNT}。然后由差分放大器放大分流电压，差分放大器由 U1A 和 R_1 至 R_4 构成。差分放大器的增益通过 R_4 与 R_3 之比设定。为了最大程度地减少误差，设置 $R_2 = R_4$ 和 $R_1 = R_3$。参考电压 V_{REF} 通过使用 U1B 缓冲电阻分压器的方式提供。传递函数由 公式 1 确定。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff_Amp} + V_{REF}$$

其中

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff_Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left(\frac{R_6}{R_5 + R_6} \right)$

(1)

该设计中存在两种误差类型：失调电压和增益。增益误差是由分流电阻器的容差和 R_4 与 R_3 之比，以及类似的 R_2 与 R_1 之比造成的。失调电压误差是由分压器（R_5 和 R_6）以及 R_4/R_3 之比与 R_2/R_1 之比之间的接近程度而造成的。R_2/R_1 之比影响差分放大器的 CMRR，最终导致了失调电压误差。

这是低侧测量值。所以，V_{SHUNT} 的值是系统负载的接地电势。因此，对 V_{SHUNT} 使用最大值非常重要。在此设计中，V_{SHUNT} 的最大值设置为 100mV。公式 2 计算分流电阻器的最大值，假设最大分流电压为 100mV，最大负载电流为 1A。

$$R_{SHUNT_Max} = \frac{|V_{SHUNT_Max}|}{|I_{LOAD_Max}|} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

R_{SHUNT} 的容差与成本成正比。在此设计中，选择容差为 0.5% 的分流电阻器。如果需要更高的精度，则选择容差为 0.1% 或更好的电阻器。

由于负载电流是双向电流，因此分流电压范围为 –100mV 至 100mV。此电压在到达运算放大器 U1A 前，由 R_1 和 R_2 分压。请务必确保 U1A 同相节点处的电压在器件的共模范围内。

所以，使用共模范围扩展到低于负电源电压的运算放大器（如 OPA374）非常重要。

假设对称负载电流为 -1A 至 1A，分压电阻器（R_5 和 R_6）必须相等。为了与分流电阻器保持一致，必须选择 0.5% 的容差。为了最大程度地降低功耗，使用了 10kΩ 电阻器。

要设置差分放大器的增益，必须考虑 OPA374 的共模范围和输出摆幅。公式 3 和 公式 4 显示了 OPA374 的典型共模范围和输出摆幅（假设使用 3.3V 电源）。

$$–200mV < V_{CM} < 3.5V \quad (3)$$

$$100mV < V_{OUT} < 3.2V \quad (4)$$

现在可通过 公式 5 中所示的公式计算差分放大器的增益。

$$Gain_{Diff_Amp} = \frac{V_{OUT_Max} – V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} – I_{MIN})} = \frac{3.2\ V – 100\ mV}{100\ m\Omega \times [1\ A – (–\ 1\ A)]} = 15.5\ \frac{V}{V} \quad (5)$$

为 R_1 和 R_3 选择的电阻器值为 1kΩ。为 R_2 和 R_4 选择 15.4kΩ 是因为它最接近标准值。所以，差分放大器的理想增益是 15.4V/V。

由于电路的增益误差主要取决于 R_1 至 R_4，因此选择了容差为 0.1% 的电阻器。该值降低了设计中需要两点校准的可能性。如有需要，简单的一点校准可消除 0.5% 电阻器产生的失调电压误差。

版权 © 2003–2016, Texas Instruments Incorporated

典型应用 (接下页)

9.2.3 应用曲线

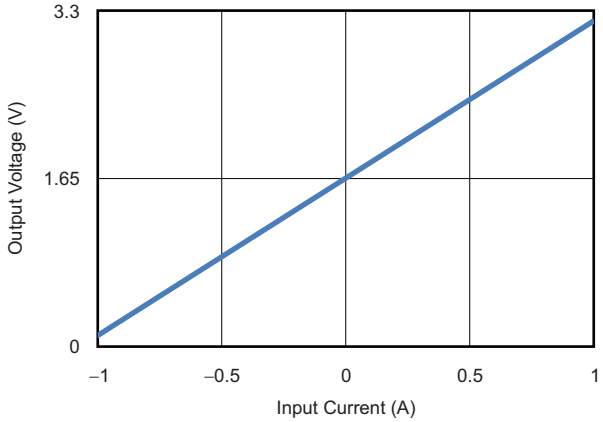


图 **28.** 输出电压与输入电流间的关系

9.3 系统示例

9.3.1 驱动 ADC

OPA373 和 OPA374 系列运算放大器针对驱动中速采样 ADC 进行了优化。OPA373 和 OPA374 系列运算放大器不仅提供信号增益，同时还能缓冲 ADC 输入电容并实现电荷注入。

图 29 中所示的 OPA373 在基本的同相配置中驱动 ADS7816。ADS7816 是一个12 位微功耗采样转换器，采用 8 引脚 VSSOP 封装。与 OPA373 低功耗微型封装一起使用时，该组合极适合空间有限的低功耗 应用。在此配置中，可以在 ADC 输入处使用一个 RC 网络来提供抗混淆滤波。

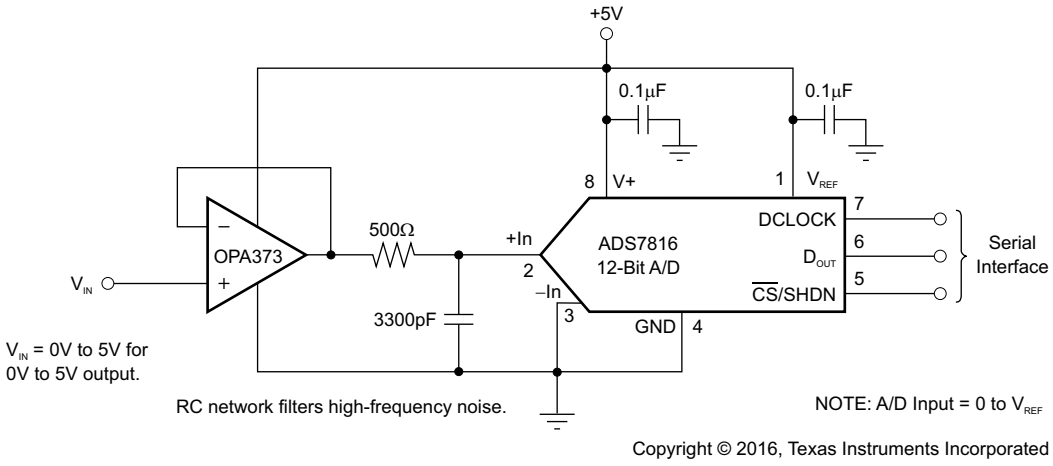


图 **29.** 由采用同相配置的 **OPA373** 驱动 **ADS7816**

系统示例 **(接下页)**

图 30 显示了在语言旁通滤波的数据采集系统中驱动 ADS7816 的 OPA373。这个小尺寸的低成本解决方案为与驻极体传声器直接相连的接口提供所需的放大和信号调节。该电路的工作电压是 V_S = 2.7V 至 5V。

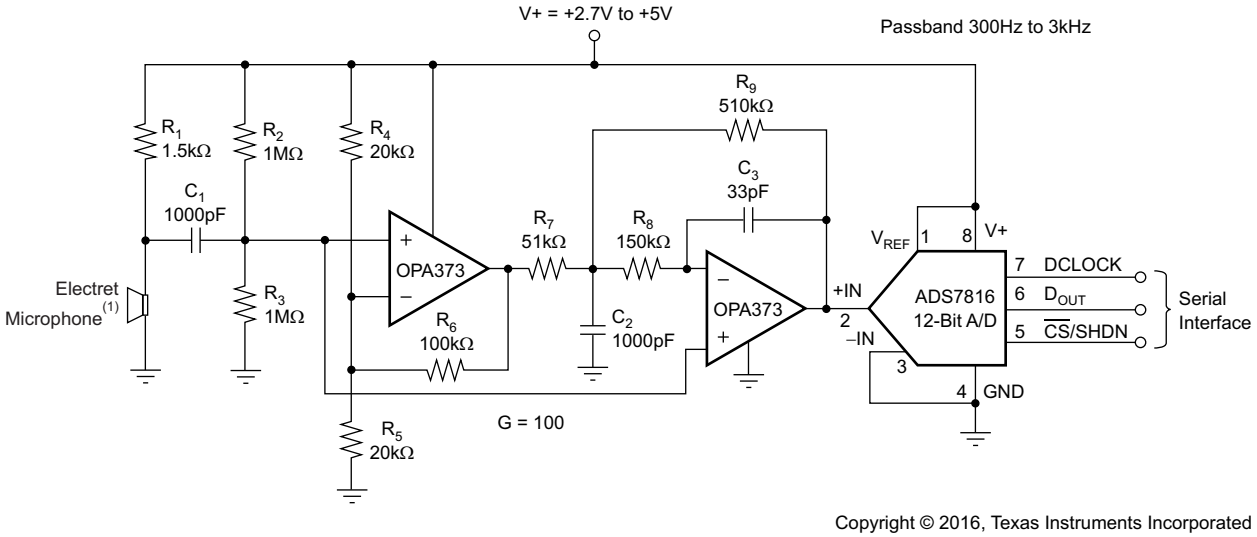


图 **30. OPA2373** 作为语音旁通滤波的数据采集系统

图 31 中显示了采用反相配置的 OPA373。在该配置中，必须通过反馈电阻器处的电容器实现滤波。

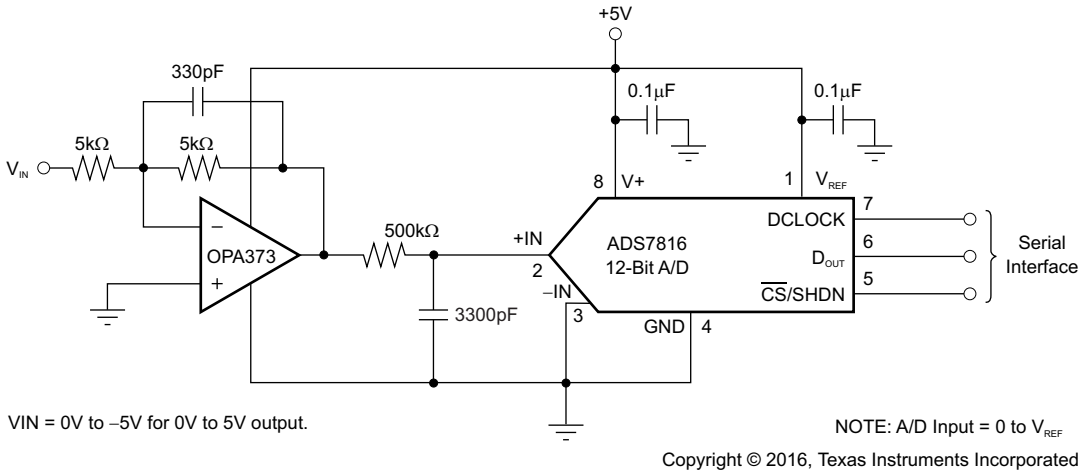
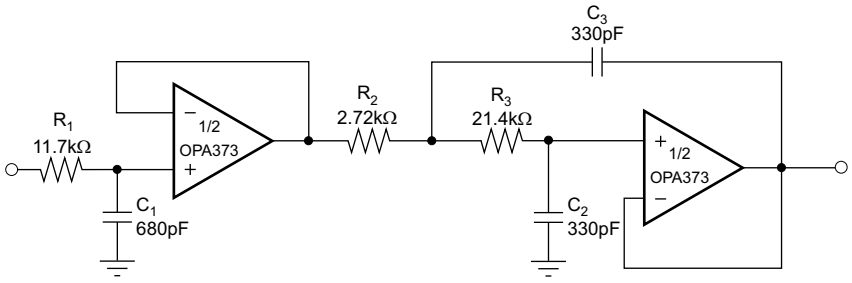


图 **31.** 由采用反相配置的 **OPA373** 驱动 **ADS7816**

图 32 显示了配置为三级 Sallen-Key 巴特沃斯低通滤波器的 OPA373。

版权 © 2003–2016, Texas Instruments Incorporated

系统示例 **(接下页)**



Copyright © 2016, Texas Instruments Incorporated

图 **32.** 三级 **Sallen-Key** 巴特沃斯低通滤波器

10 电源建议

OPAx373 和 OPAx374 的额定工作电压范围是 2.7V 至 5.5V（±1.35V 至 ±2.75V）。*典型特性* 中展示了可能会随工作电压的变化而显著变化的参数。

11 布局

11.1 布局指南

必须将引线框芯片垫焊接到 PCB 上的散热垫上。该产品说明书末尾附有一份机械产品说明书，其中显示了布局示例。可能需要根据组装过程要求对此布局进行改进。

该产品说明书末尾的机械制图列出了封装和垫的物理尺寸。焊盘布局中的五个空穴为可选项，适合与将引线框芯片垫连接至 PCB 上的散热器区域的热通孔结合使用。焊接外露焊盘可在温度循环、主要推动、封装剪切及类似板级测试过程中极大地提高板级可靠性。

即使是低功耗 应用， 外露焊盘也必须焊接到 PCB 上以提供结构完整性和长期可靠性。

11.1.1 VSON 封装

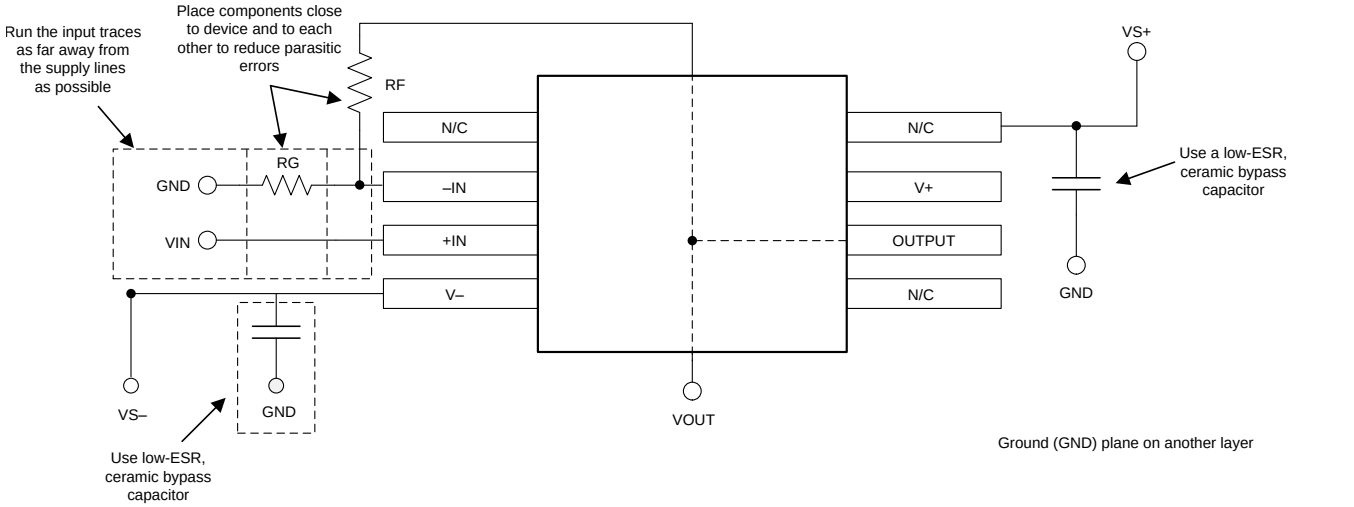
OPA2373 采用 10 引脚 VSON 封装，此封装是一种仅在封装底部两侧有引线触点的 VQFN 封装。这种无引线近芯片级封装最大限度地增加了布板空间，并通过外露焊盘来增强散热和电气特性。VSON 封装物理尺寸小，具有更小的布线面积、更高的散热性能以及更低的电气寄生，并且所采用的引脚分配机制与 SOIC 和 VSSOP 等常用封装一致。此外，无外部引线也消除了引线弯曲问题。

VSON 封装可使用标准 PCP 组装技巧轻松安装。请参阅*《QFN/SON PCB 连接》*和*《四方扁平无引线逻辑封装》*，两者均可从 www.ti.com.cn 下载。

注

该封装底部的外露引线框芯片垫必须连接至 V-。

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 **33.** 同相配置的运算放大器电路板布局

版权 © 2003–2016, Texas Instruments Incorporated

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™（免费软件下载）

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。 TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI 软件。请从 TINA-TI 文件夹 中下载免费的 TINA-TI 软件。

12.1.1.2 DIP 适配器 EVM

DIP 适配器 EVM 工具提供了一种简单而低成本的方式来针对小型表面贴装 IC 进行原型设计。这些 TI 封装的评估工具：D 或 U（8 引脚 SOIC）、PW（8 引脚 TSSOP）、DGK（8 引脚 MSOP）、DBV（6 引脚 SOT-23、5 引脚 SOT23 和 3 引脚 SOT-23）、DCK（6 引脚 SC-70 和 5 引脚 SC-70）和 DRL（6 引脚 SOT-563）。DIP 适配器 EVM 也可搭配引脚排使用或直接与现有电路相连。

12.1.1.3 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种 IC 封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供 IC。TI 建议您在订购通用运放 EVM 时申请几个运放器件样品。

12.1.1.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 http://www.ti.com.cn/ww/analog/precision-designs/。

12.1.1.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH Filter Designer 通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

12.2 文档支持

12.2.1 相关文档

使用 OPAx373 和 OPAx374 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com.cn 上下载（除非另有说明）。

- *《具有响应时间小于 1µs 的堵转电流限制的 36V 1kW 无刷直流电机驱动器参考设计》*(TIDU852)
- *《OPA373 EMI 抗扰性性能》*(SBOZ009)
- *《AB-045 运算放大器性能分析》*(SBOA054)
- *《AB-067 运算放大器的单电源运行》*(SBOA059)
- *《AB-105 在放大器中进行调优》*(SBOA067)
- *《QFN/SON PCB 连接》*（文献编号：SLUA271）
- *《四方扁平无引线逻辑器件封装》*（文献编号：SCBA017）

12.3 相关链接

表 1 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA373	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2373	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA374	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2374	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4374	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 接收文档更新通知

如需接收文档更新通知，请访问 ti.com 上的器件产品文件夹。In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. 有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

12.7 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

版权 © 2003–2016, Texas Instruments Incorporated

12.8 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2373AIDGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	Call TI | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	AYO	Samples
OPA2373AIDGST	ACTIVE	VSSOP	DGS	10	250	RoHS & Green	Call TI | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	AYO	Samples
OPA2373AIDRCR	ACTIVE	VSON	DRC	10	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCEQ	Samples
OPA2373AIDRCT	ACTIVE	VSON	DRC	10	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCEQ	Samples
OPA2374AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2374A	Samples
OPA2374AIDCNR	ACTIVE	SOT-23	DCN	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ATP	Samples
OPA2374AIDCNRG4	ACTIVE	SOT-23	DCN	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ATP	Samples
OPA2374AIDCNT	ACTIVE	SOT-23	DCN	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ATP	Samples
OPA2374AIDCNTG4	ACTIVE	SOT-23	DCN	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ATP	Samples
OPA2374AIDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2374A	Samples
OPA2374AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR		OPA 2374A	Samples
OPA373AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 373A	Samples
OPA373AIDBVR	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A75	Samples
OPA373AIDBVRG4	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A75	Samples
OPA373AIDBVT	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A75	Samples
OPA373AIDBVTG4	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A75	Samples
OPA373AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 373A	Samples
OPA373AIDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 373A	Samples
OPA374AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										374A	
OPA374AIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A76	Samples
OPA374AIDBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A76	Samples
OPA374AIDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A76	Samples
OPA374AIDBVTG4	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A76	Samples
OPA374AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 374A	Samples
OPA374AIDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 374A	Samples
OPA4374AID	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4374A	Samples
OPA4374AIDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4374A	Samples
OPA4374AIPWR	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4374A	Samples
OPA4374AIPWRG4	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4374A	Samples
OPA4374AIPWT	ACTIVE	TSSOP	PW	14	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4374A	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

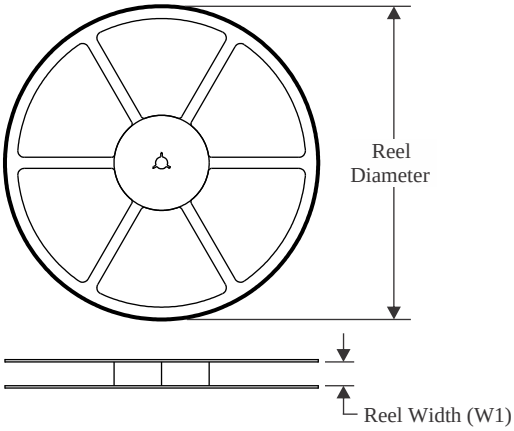
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

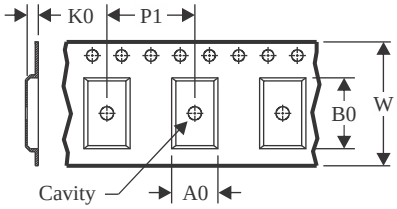
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

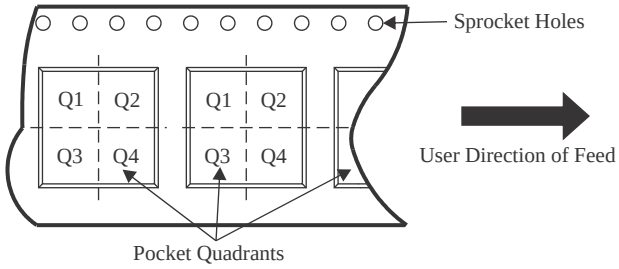


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

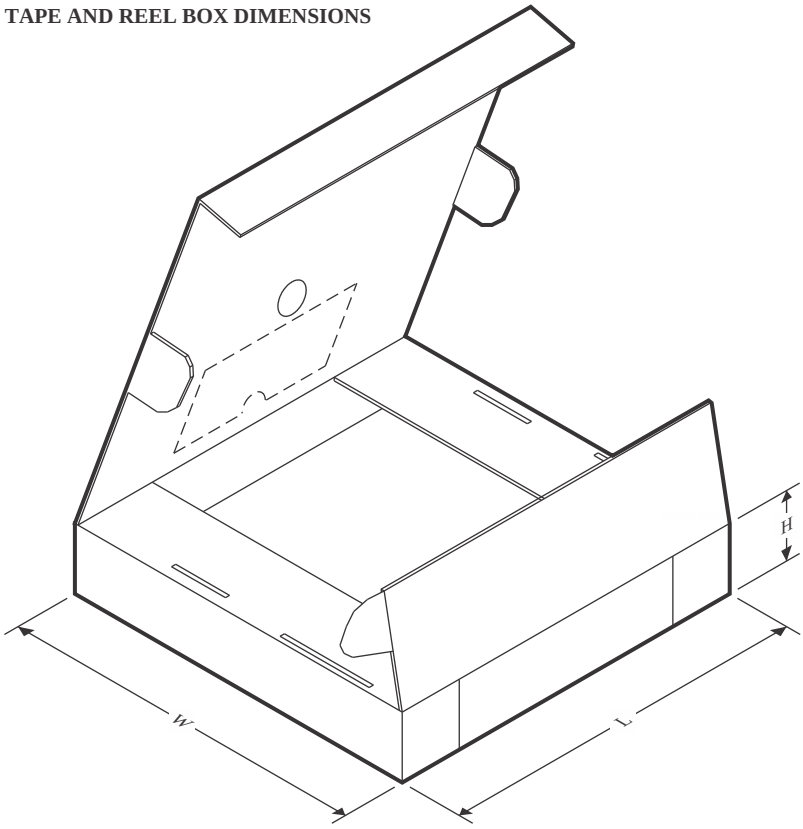
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2373AIDRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2373AIDRCT	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2374AIDCNR	SOT-23	DCN	8	3000	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
OPA2374AIDCNT	SOT-23	DCN	8	250	180.0	8.4	3.15	3.1	1.55	4.0	8.0	Q3
OPA2374AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA373AIDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA373AIDBVT	SOT-23	DBV	6	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA373AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA374AIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.3	3.2	1.4	4.0	8.0	Q3
OPA374AIDBVT	SOT-23	DBV	5	250	178.0	8.4	3.3	3.2	1.4	4.0	8.0	Q3
OPA374AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4374AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4374AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4374AIPWR	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4374AIPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

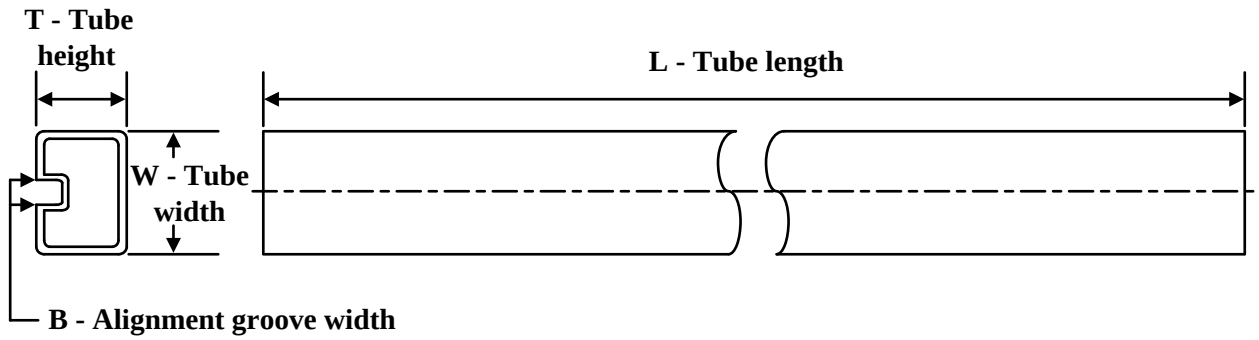
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2373AIDRCR	VSON	DRC	10	3000	356.0	356.0	35.0
OPA2373AIDRCT	VSON	DRC	10	250	210.0	185.0	35.0
OPA2374AIDCNR	SOT-23	DCN	8	3000	210.0	185.0	35.0
OPA2374AIDCNT	SOT-23	DCN	8	250	210.0	185.0	35.0
OPA2374AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA373AIDBVR	SOT-23	DBV	6	3000	445.0	220.0	345.0
OPA373AIDBVT	SOT-23	DBV	6	250	445.0	220.0	345.0
OPA373AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA374AIDBVR	SOT-23	DBV	5	3000	565.0	140.0	75.0
OPA374AIDBVT	SOT-23	DBV	5	250	565.0	140.0	75.0
OPA374AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA4374AIDR	SOIC	D	14	2500	356.0	356.0	35.0
OPA4374AIDR	SOIC	D	14	2500	356.0	356.0	35.0
OPA4374AIPWR	TSSOP	PW	14	2500	356.0	356.0	35.0
OPA4374AIPWT	TSSOP	PW	14	250	210.0	185.0	35.0

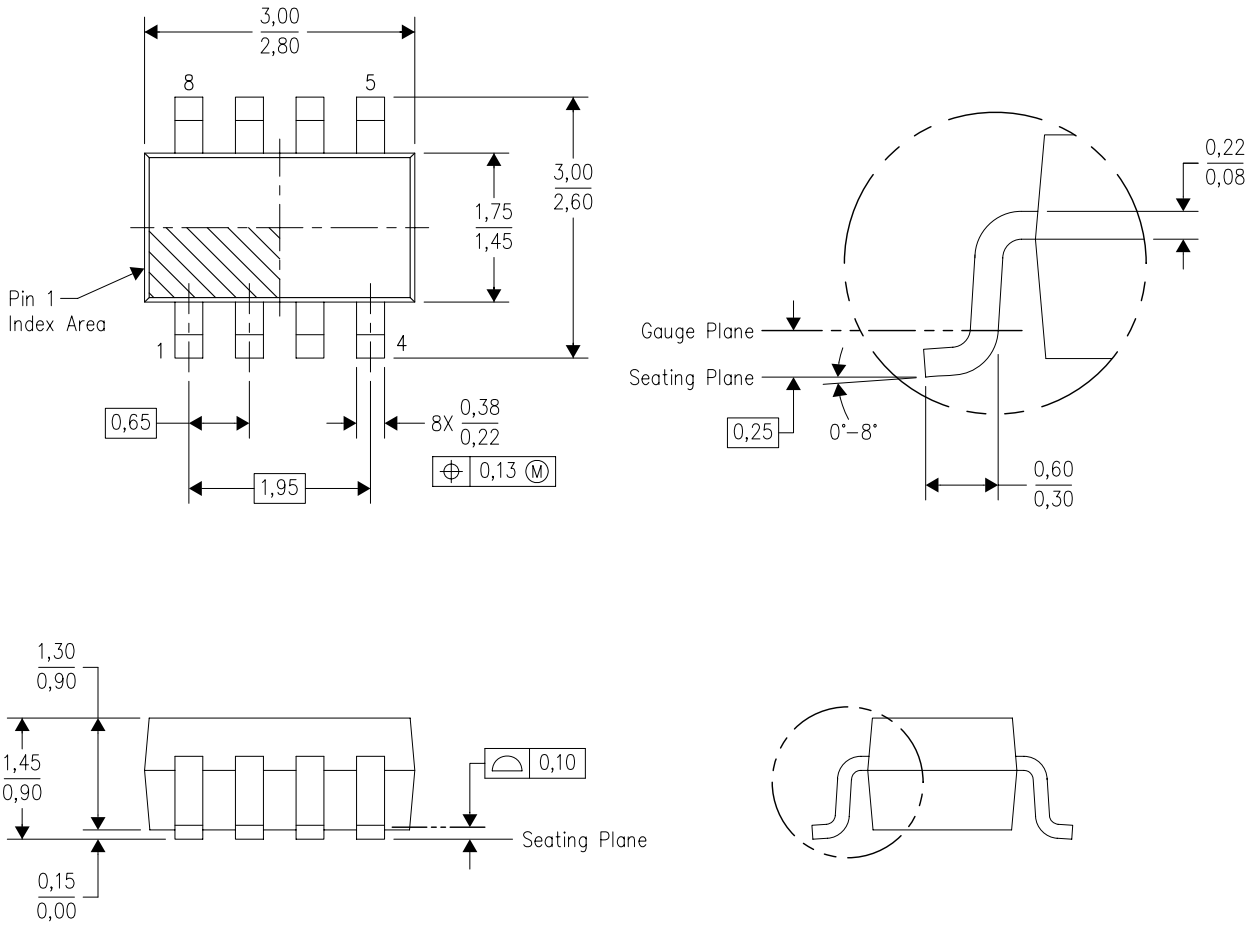
TUBE



*All dimensions are nominal

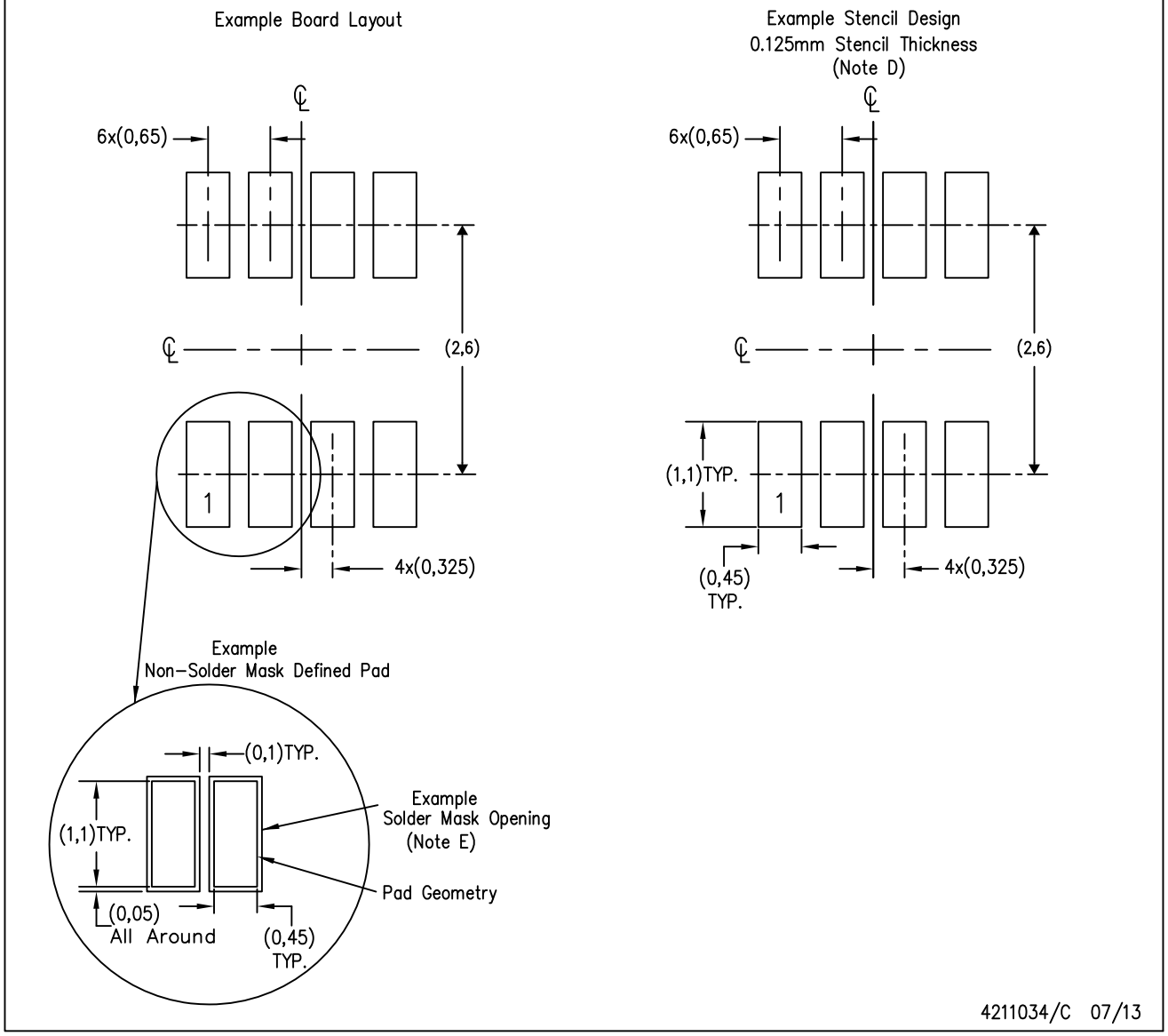
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2374AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2374AIDG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA373AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA374AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA4374AID	D	SOIC	14	50	506.6	8	3940	4.32

DCN (R–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE (DIE DOWN)



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Package outline exclusive of metal burr & dambar protrusion/intrusion.
D. Package outline inclusive of solder plating.
E. A visual index feature must be located within the Pin 1 index area.
F. Falls within JEDEC MO–178 Variation BA.
G. Body dimensions do not include flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.

DCN (R–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE (DIE DOWN)



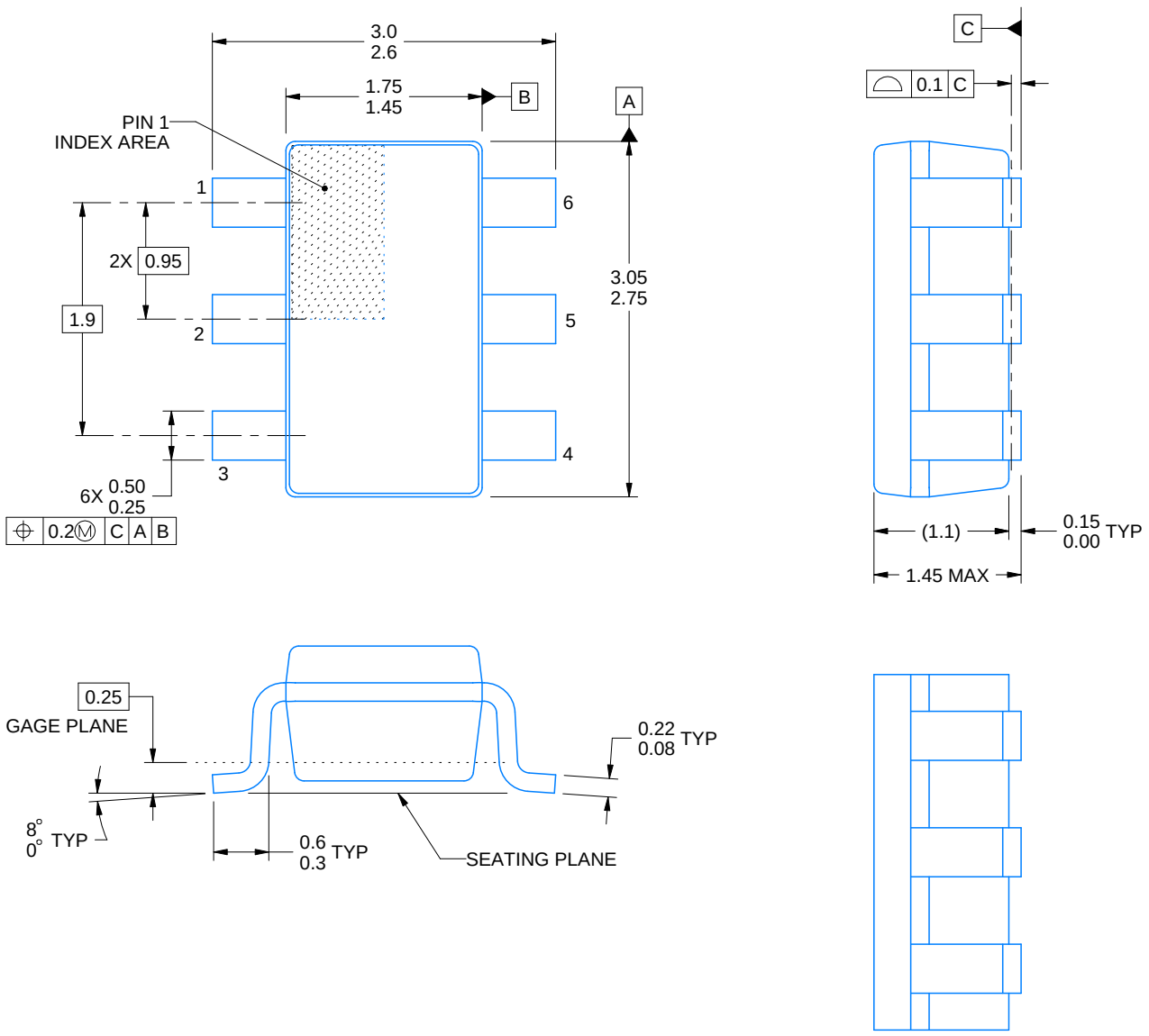
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

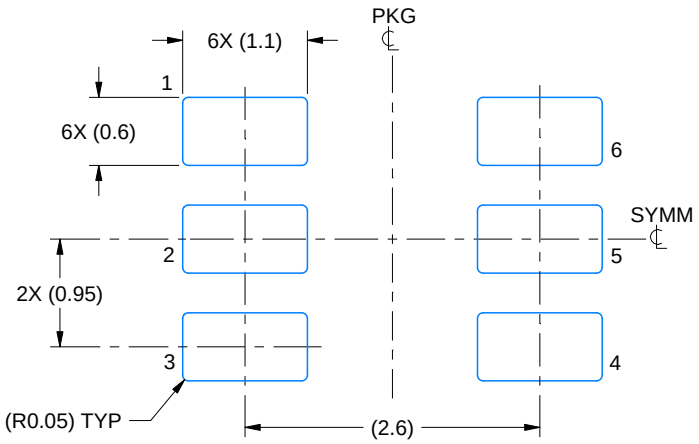


ALTERNATIVE PACKAGE SINGULATION VIEW

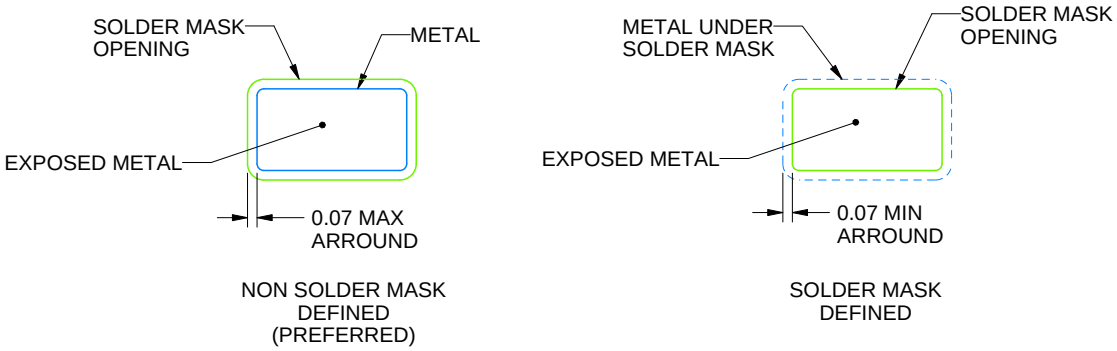
4214840/E 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

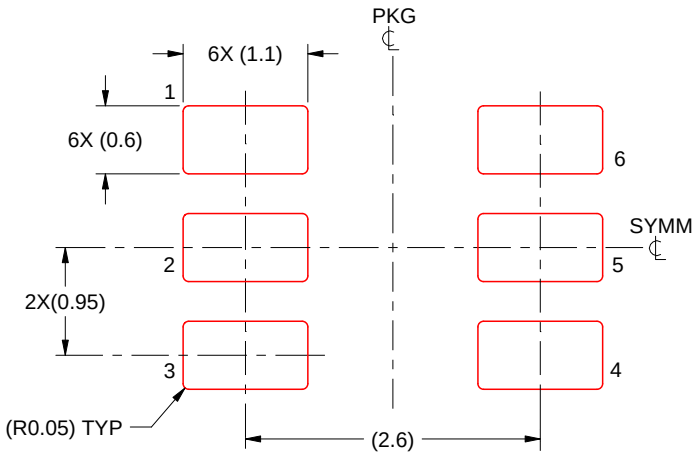


SOLDER MASK DETAILS

4214840/E 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/E 02/2024

NOTES: (continued)

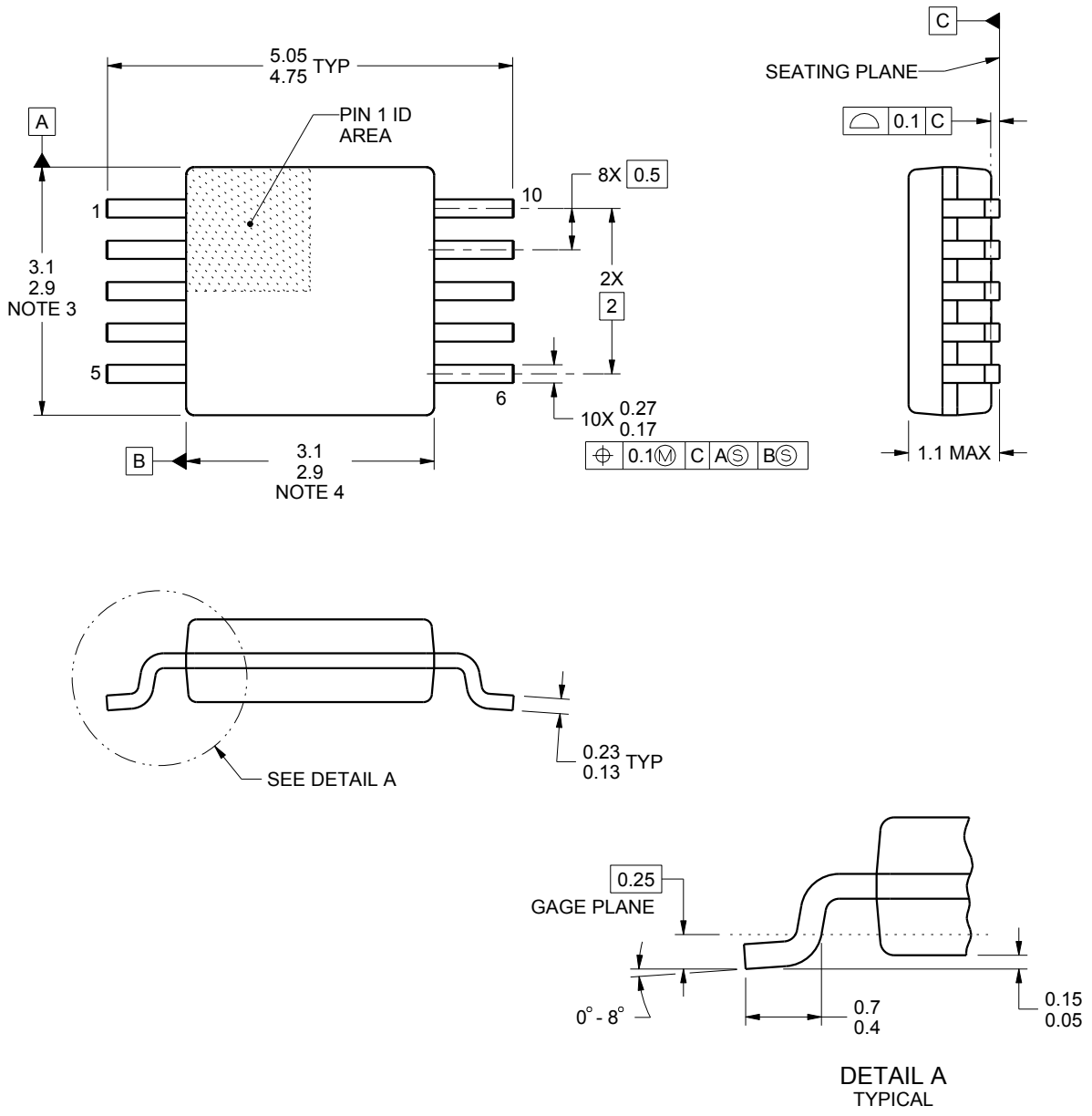
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0010A

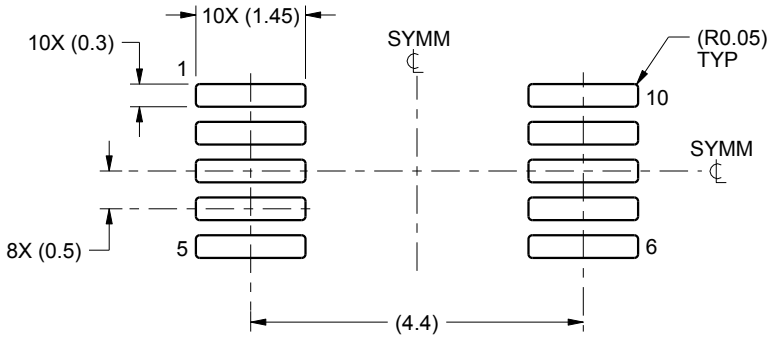
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

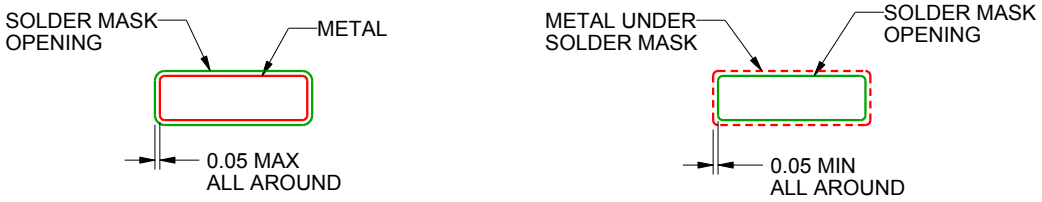


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

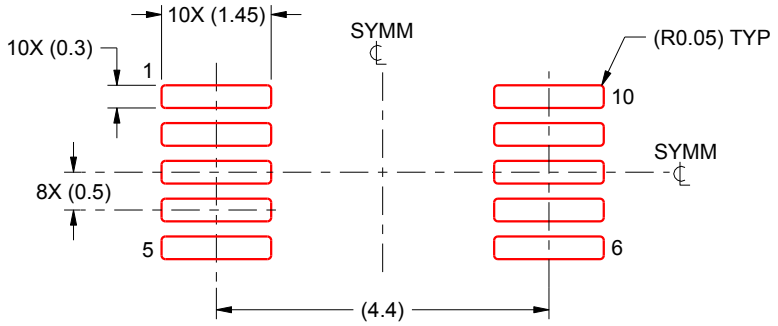


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

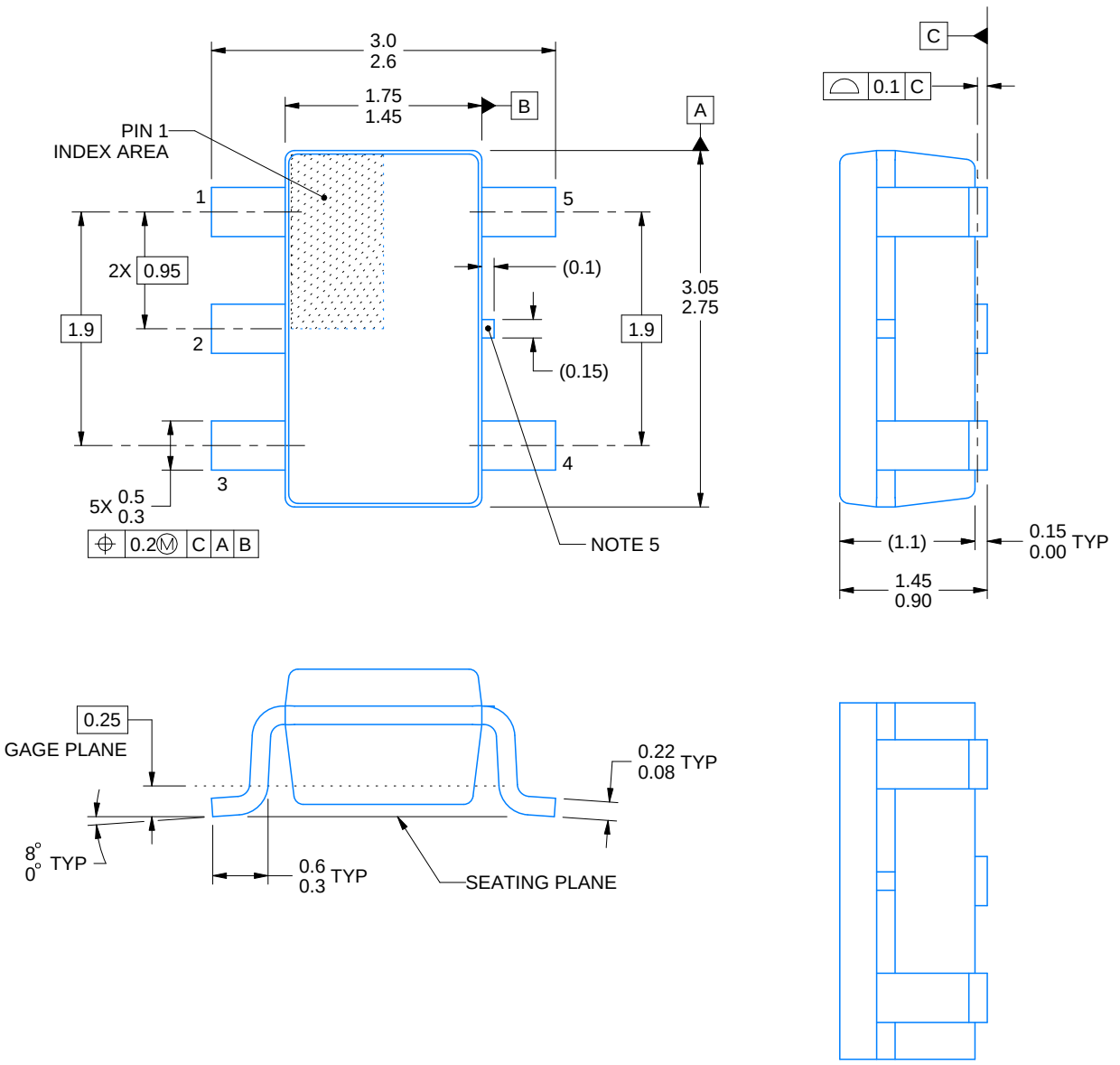
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

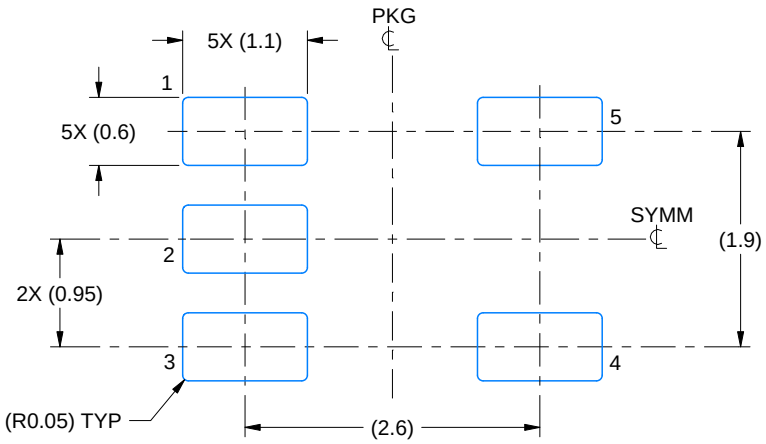


ALTERNATIVE PACKAGE SINGULATION VIEW

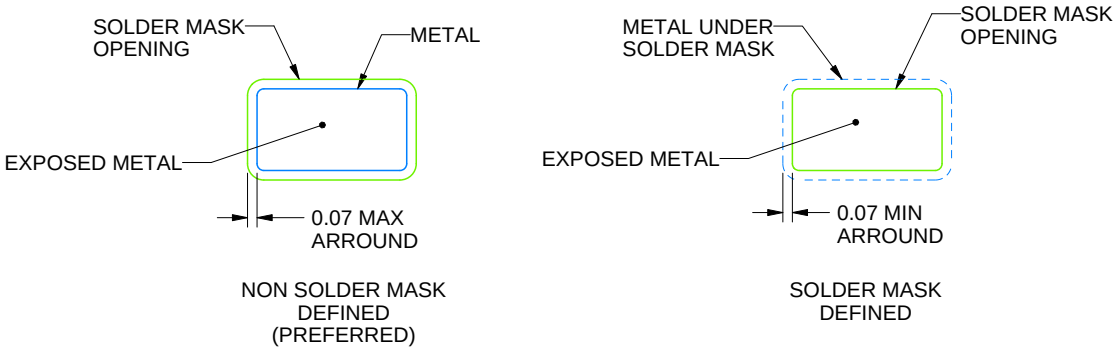
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

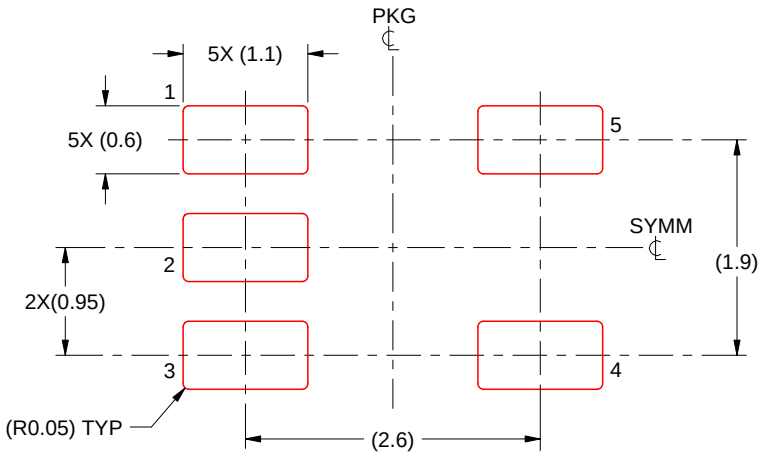


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



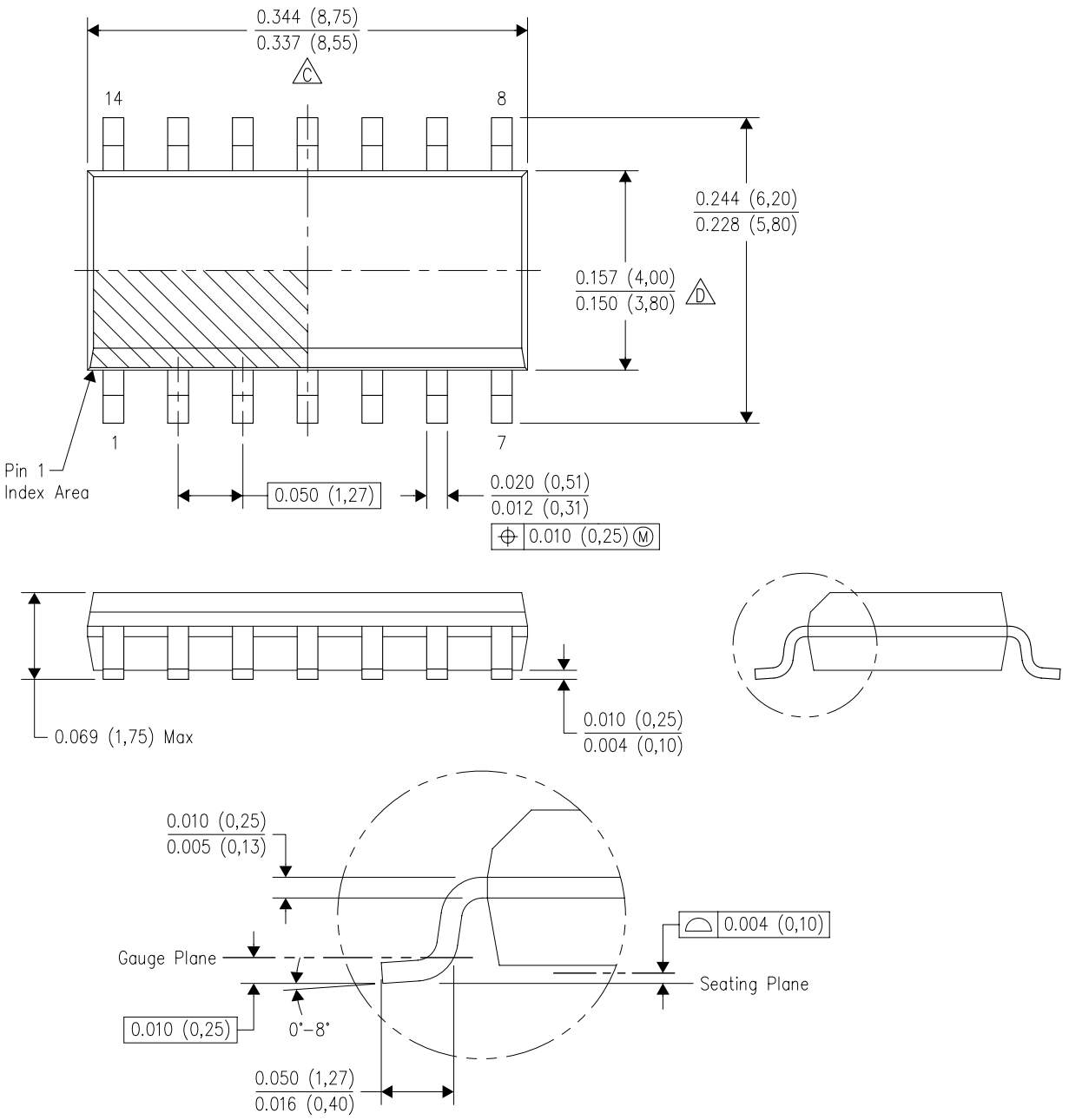
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

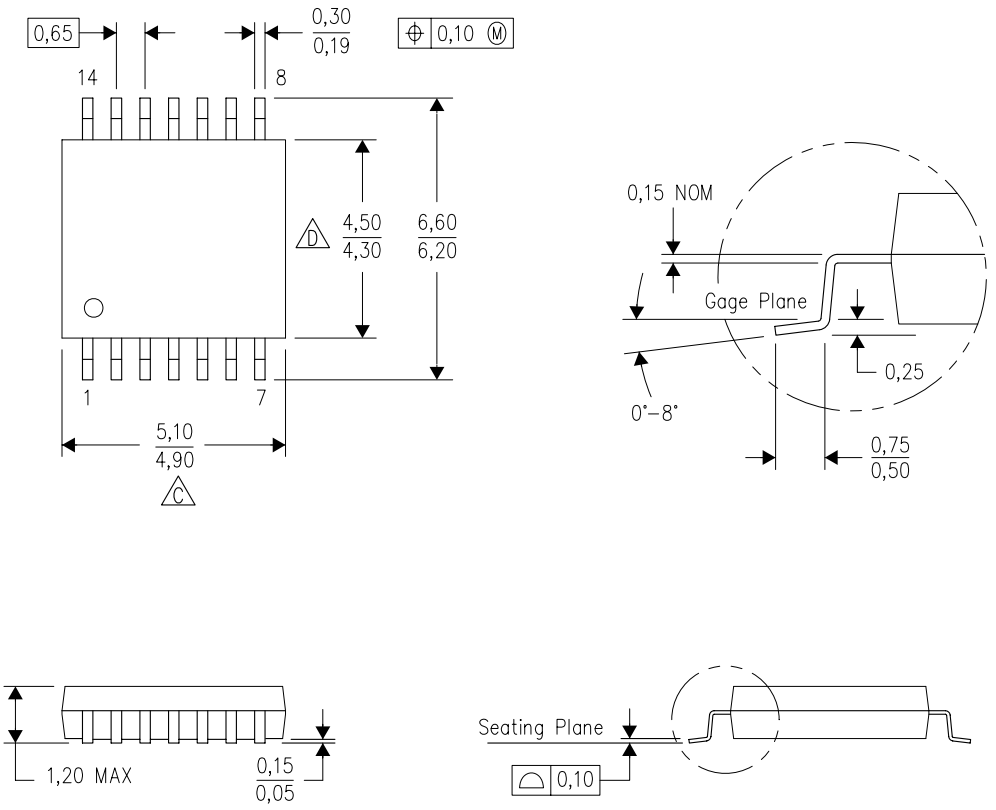
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

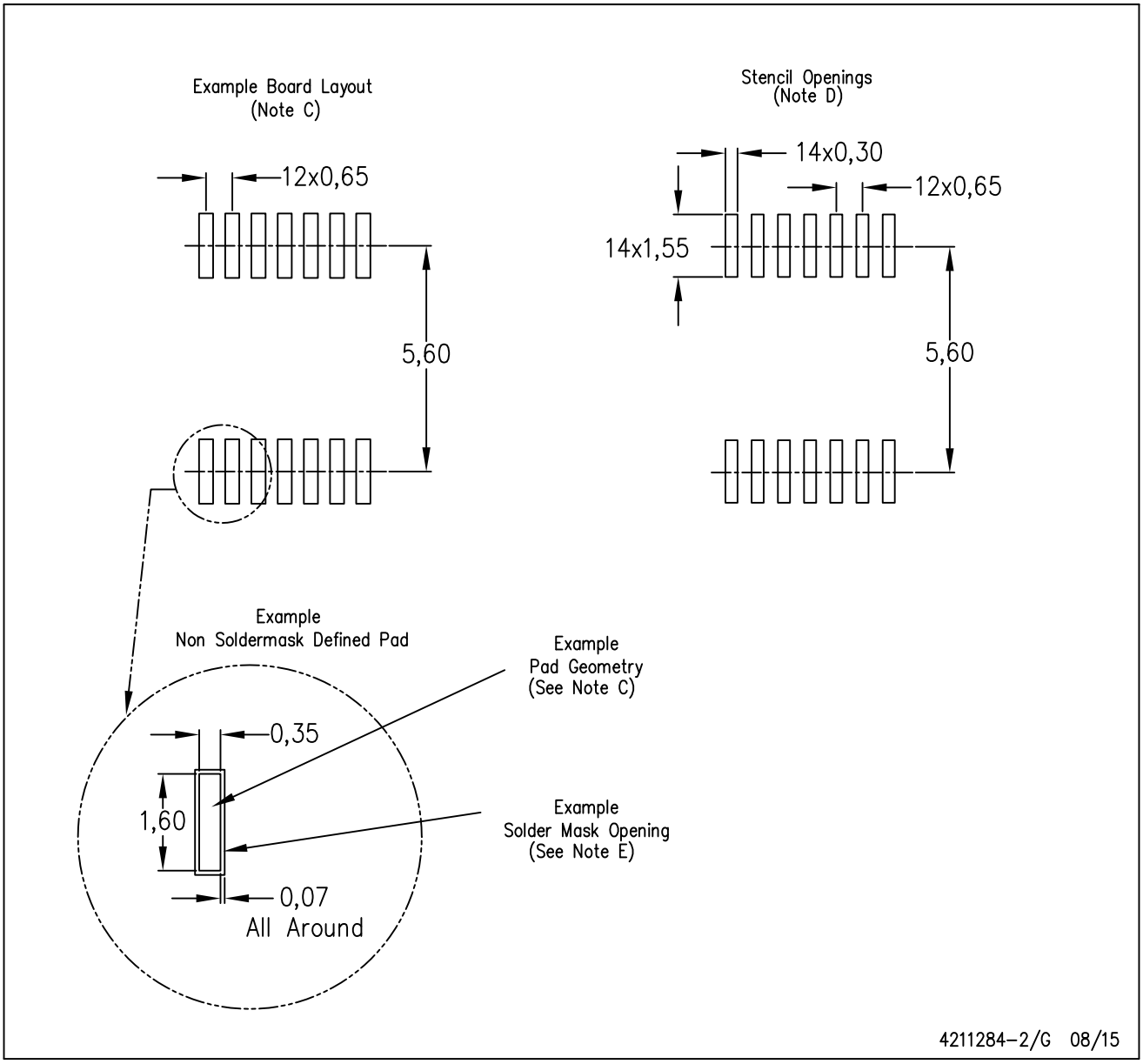
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



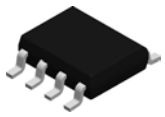
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

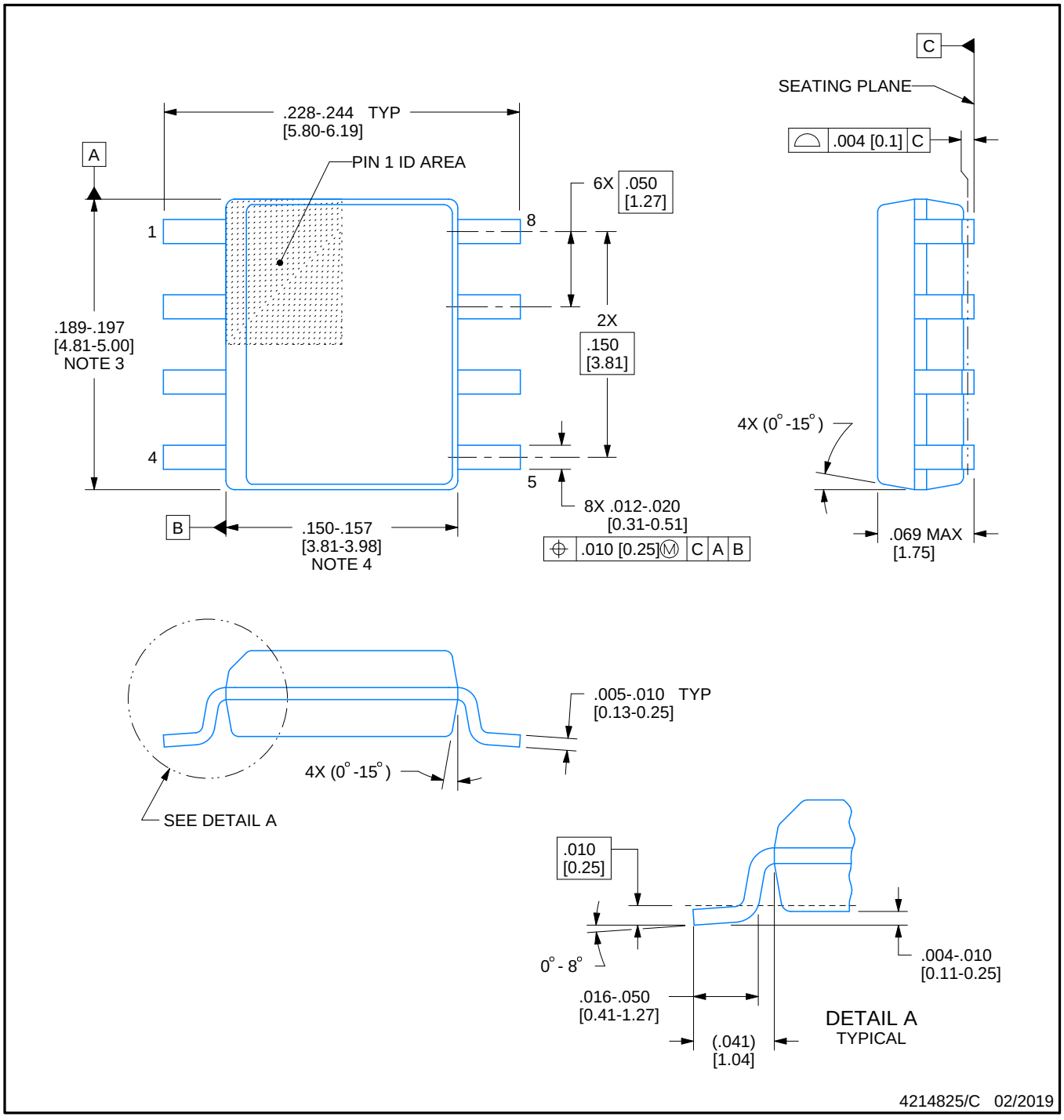


PACKAGE OUTLINE

D0008A

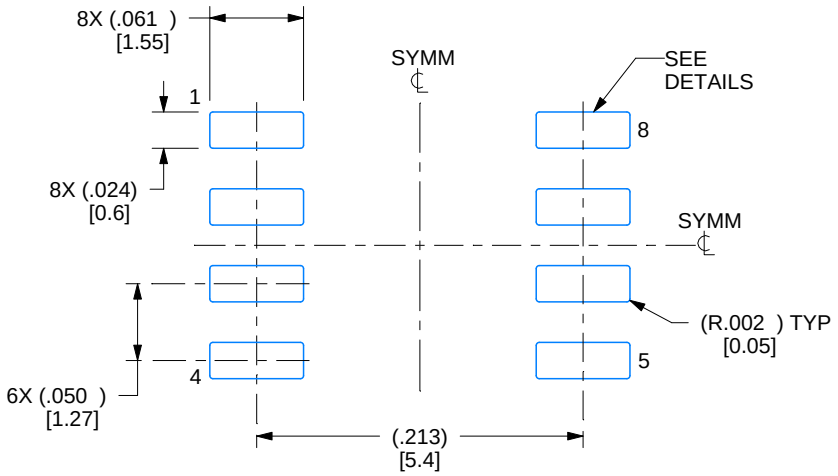
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

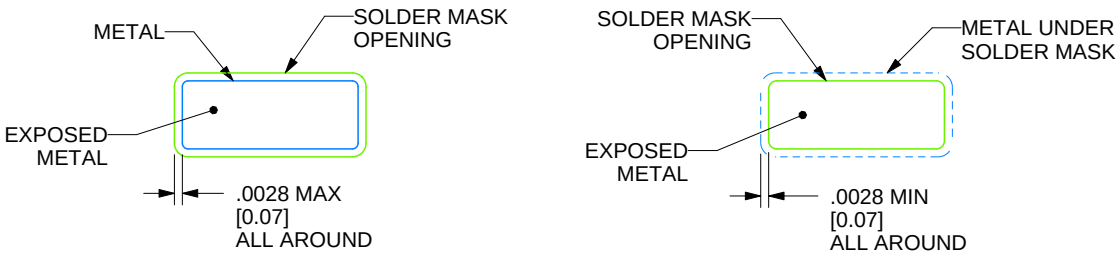


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

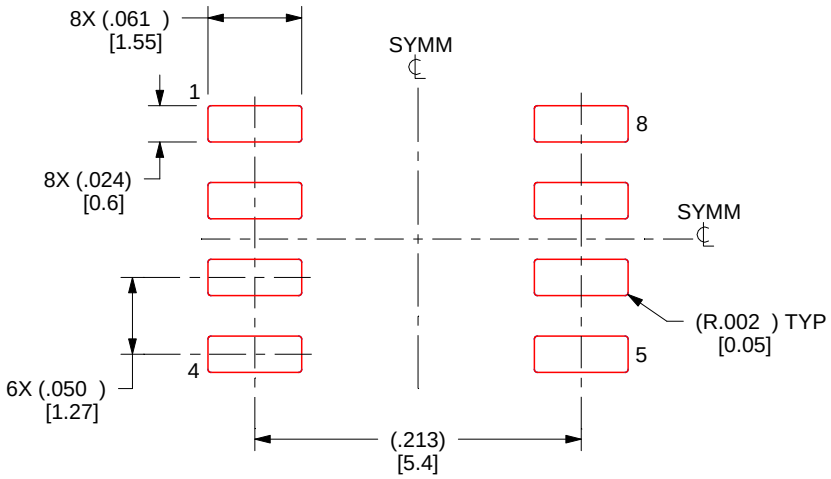
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

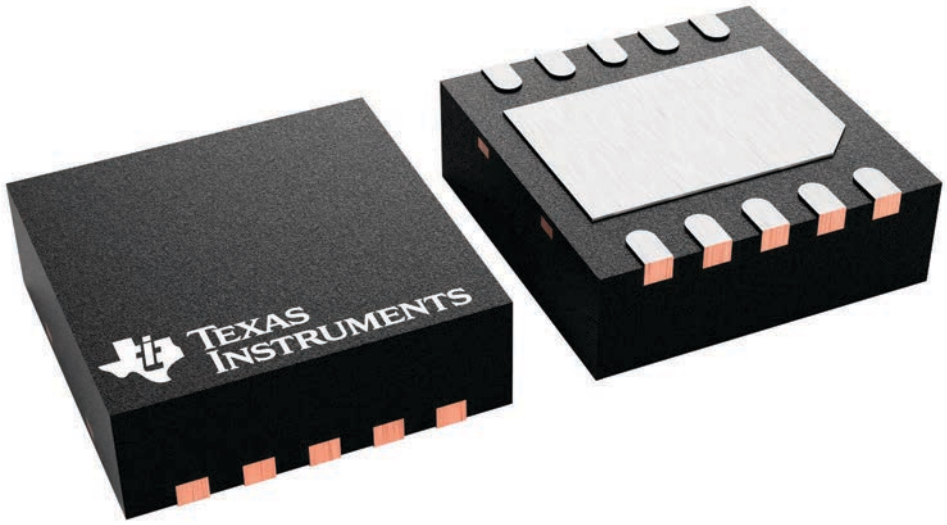
DRC 10

VSON - 1 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



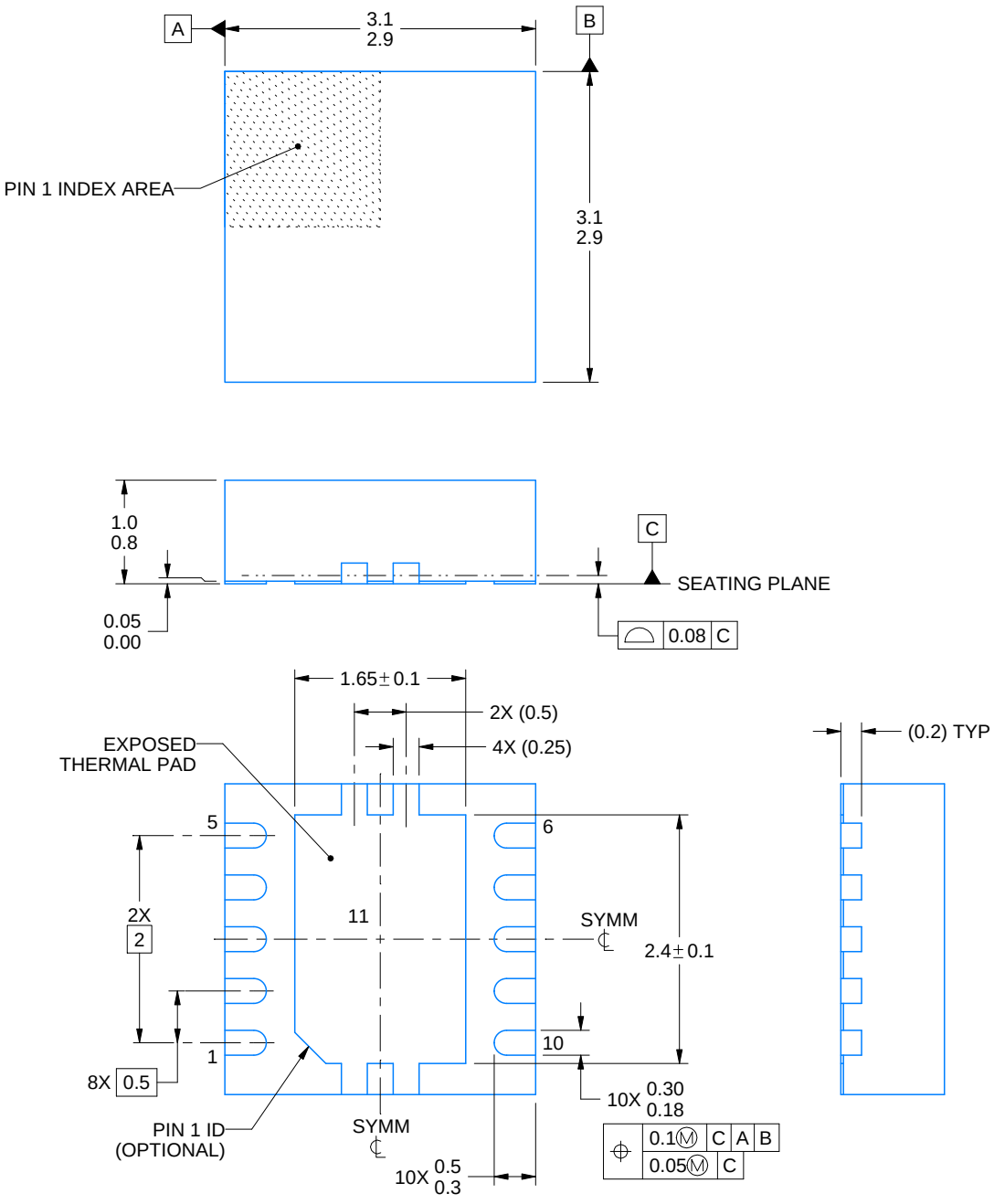
4226193/A

DRC0010J

PACKAGE OUTLINE

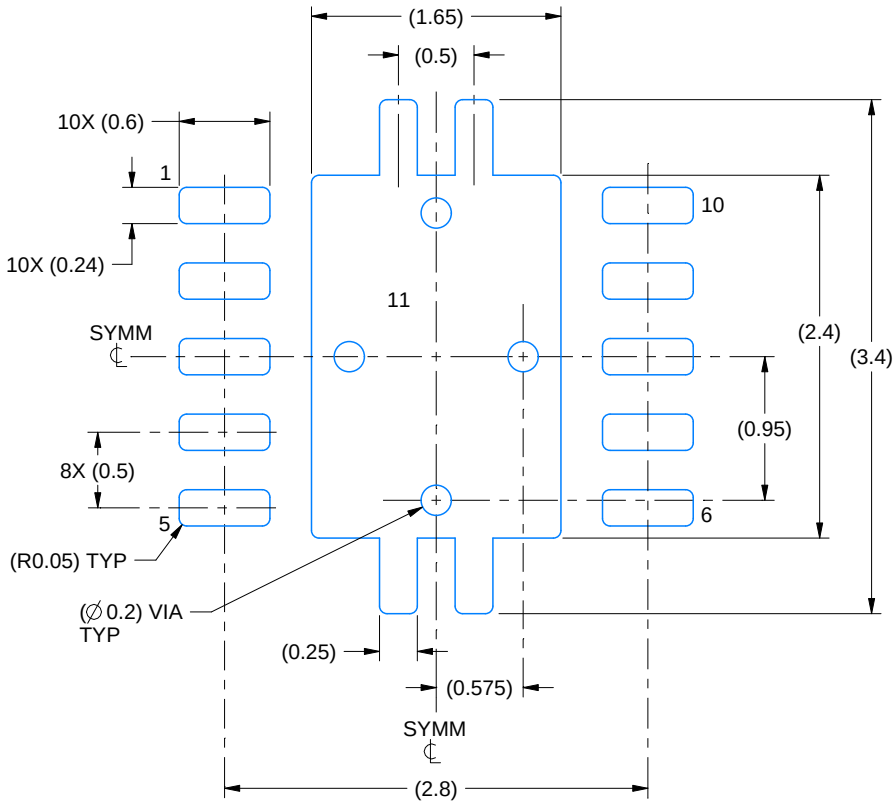
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

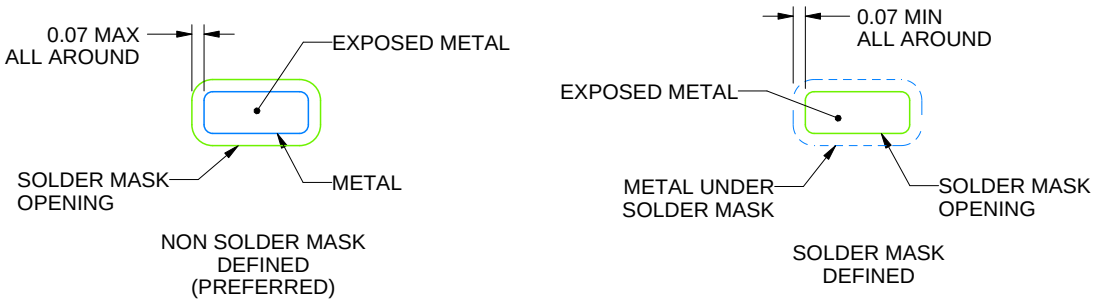


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

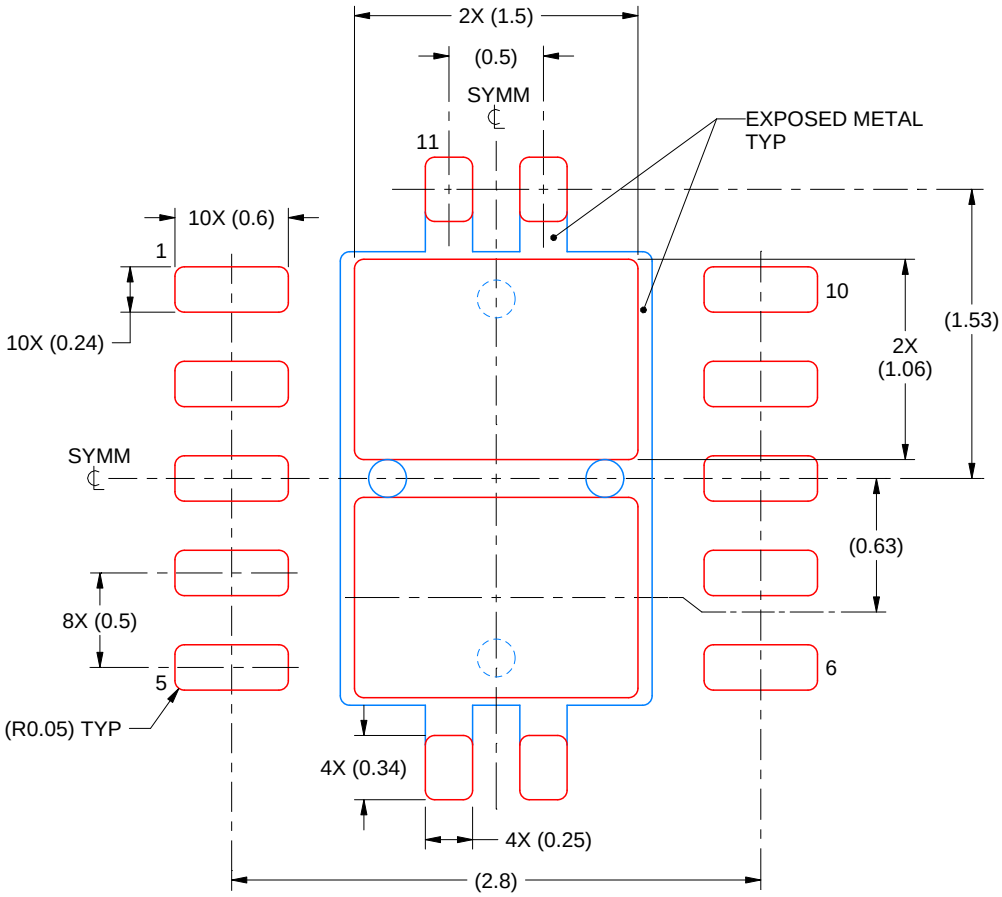


SOLDER MASK DETAILS

4218878/B 07/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218878/B 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司