

アナログ・フロント・エンド内蔵 ADC のオーバーストレス保護回路

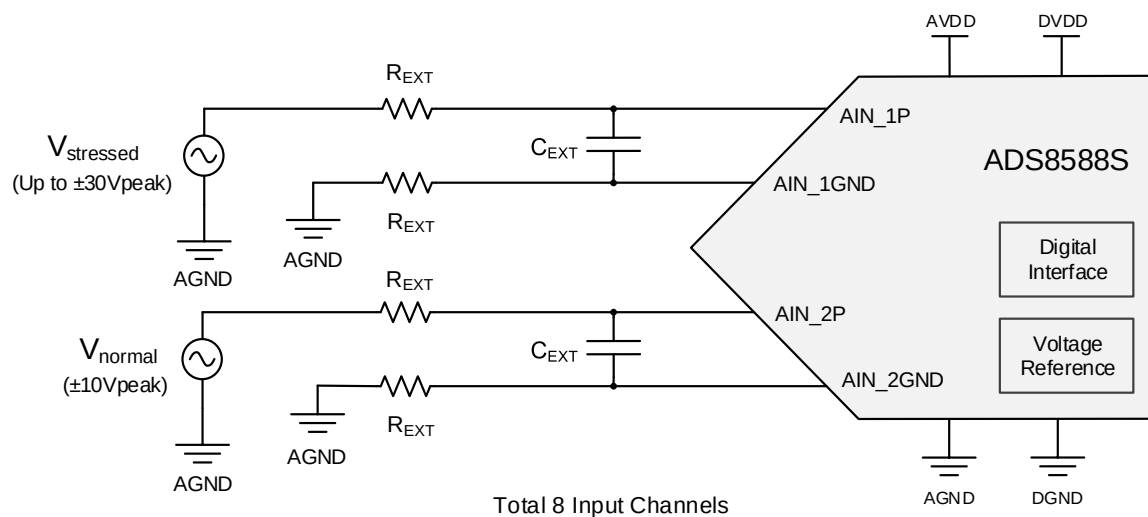
Dale Li

入力	ADC入力	デジタル出力 ADS7042
VinSEMin = -10V	CH_x = -10V	8000H
VinSE = 0V	CH_x = 0V	0000H
VinSEMax = +10V	CH_x = +10V	7FFFH

電源			
AVDD	DVDD	有効な入力 V _{normal}	過電圧入力 V _{stressed}
5V	3.3V	±10V	

設計の説明

スマート・グリッド市場の保護リレー・アプリケーションでは、異なる電圧および電流の間で位相情報を維持するため、ADS8588S などの同時サンプリング ADC が広く使用されています。これらのシステムの動作環境は非常に苛酷であり、最大で振幅 $\pm 30\text{Vpk}$ (60Vpp) の不要な信号が、信号チェーンに印加されることがあります。このため、過電圧による損傷から ADC 入力を保護し、同時に良好な性能を維持することが重要です。本書では、過電圧保護の設計方法について解説し、隣接チャネルの過電圧信号が性能に及ぼす影響についても説明します。最後に、その性能への影響を、テキサス・インスツルメンツ製のデバイスと、競合他社製のピン互換デバイスの間で比較します。



仕様

仕様	計算結果	測定結果
60Vpp 過電圧	最大入力電流 = 1mA	SNR および THD 性能と過電圧フィードスルー

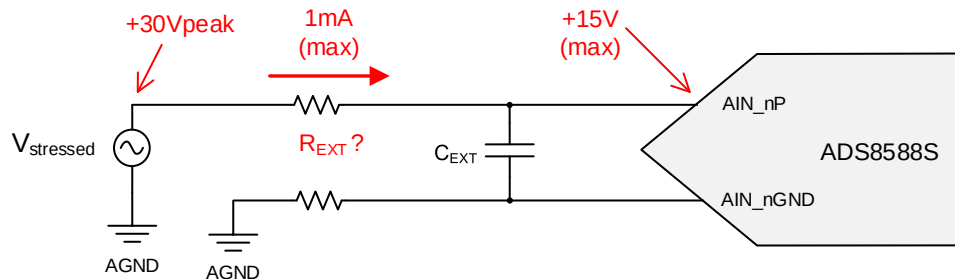
デザイン・ノート

1. C_{EXE} フィルタ・コンデンサには C0G タイプのコンデンサを使用します。
2. アンプの過大ストレスの理論的な説明については、「[Electrical Overstress](#)」のビデオ・シリーズ (英語) を参照してください。このセクションではアンプについて触れますが、理論はデータ・コンバータにも同様に適用されます。

部品選定

1. 電流を 1mA 未満に制限する $R_{\text{ext(min)}}$ を求めます。ADS8588S の入力ピンの推奨最大電流は、ADC の内部構造に基づいて一般に要求される $\pm 10\text{mA}$ です。この 10mA という値は絶対最大定格の制限なので、この値から多少のマージンを設けて、電流を 1mA 未満にすることを推奨します。この設計例の場合、最小外部抵抗は $15\text{k}\Omega$ です。

$$R_{\text{EXT}} = \frac{30\text{V} - 15\text{V}}{1\text{mA}} = 15\text{k}\Omega$$

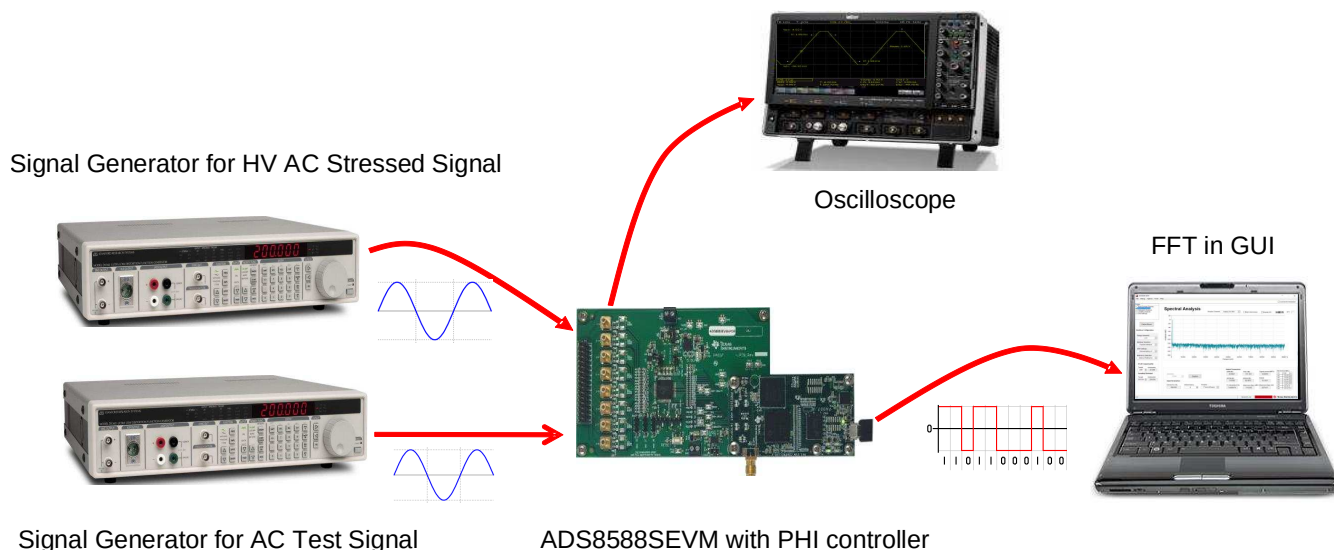


2. 入力フィルタの帯域幅を目的の周波数に設定するために R_{ext} または C_{ext} を選択します。アプリケーションによっては、別のカットオフ周波数が必要な場合があります。この場合、50Hz 信号の 128 次高調波を通過させるため、カットオフ周波数を 6.4kHz にする必要があります。この場合、1nF のコンデンサも必要です。1nF は産業用入力フィルタ・コンデンサの一般的な容量値です。この式を適用すると、外部抵抗 (R_{ext}) の値は $24.9\text{k}\Omega$ と決定されます。この手順で計算される外部抵抗は、手順 1 で求めた最小抵抗値より大きいことに注意します ($R_{\text{ext}} > R_{\text{ext(min)}}$)。

$$R_{\text{EXT}} = \frac{1}{2\pi \cdot f_c \cdot C_{\text{EXT}}} = \frac{1}{2\pi (6.4\text{kHz}) (1\text{nF})} = 24.9\text{k}\Omega$$

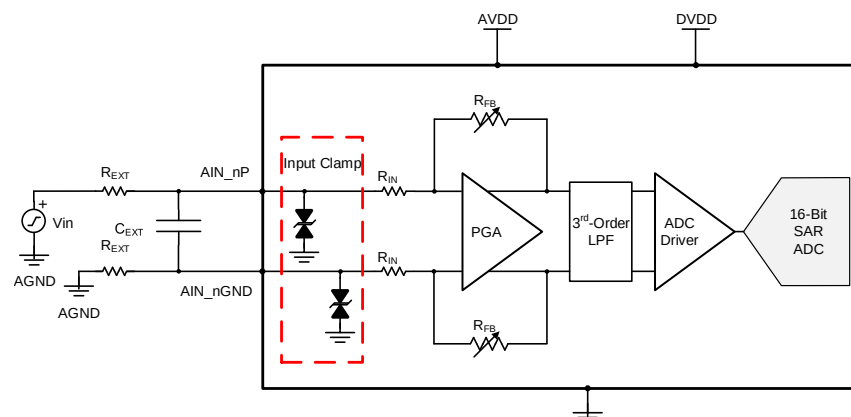
テスト構成

複数チャンネル・デバイスを使った現実のアプリケーションでは、1つのチャンネルに過電圧信号が印加され、別のチャンネルには有効な信号が送られることがあります。この場合、過電圧信号が印加されるチャンネルを損傷から保護すると同時に、有効な信号が入力されるチャンネルで良好な性能を維持することが求められます。本書の測定はすべて、チャンネル 1 に過電圧信号が印加され、その他のチャンネルに有効な信号が印加された状態で行われています。すべての入力は、「部品選定」で設計した回路を使用して保護されています。下図に、テストのセットアップを示します。



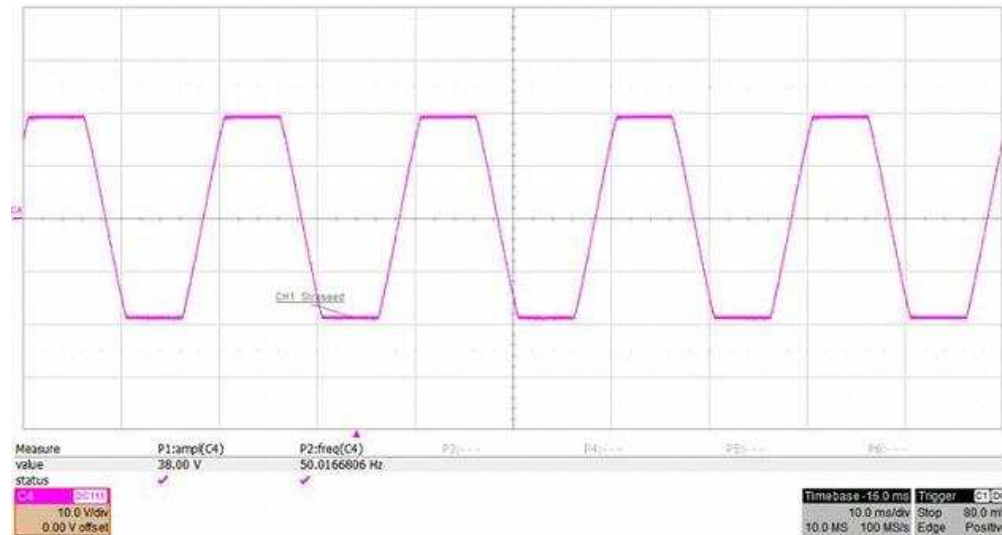
デバイスの保護

下図に、ADS8588S 内の各アナログ入力チャンネルの概略回路図を示します。8つのアナログ入力チャンネルには、それぞれ内部クランプ保護回路が設計されており、各アナログ入力は最大電圧 $\pm 15V$ までスイングできます。 $\pm 15V$ を超える入力電圧の場合、内部の入力クランプ回路がオンになることがあります。過電圧信号がさらに増大すると、保護回路に流れ込む電流が増大します (『ADS8588S 16 ビット、高速、8 チャンネル同時サンプリング ADC、単一電源によるバイポーラ入力』データシートにある、入力クランプ保護回路の I-V 曲線を参照)。入力電流が大きくなると、破壊的になり、ADC デバイスが劣化または損傷することがあります。これが、電流を 1mA 未満に制限する理由です (「部品選定」セクションを参照)。フォルト・イベントが発生した場合、クランプ保護回路がオンになり、入力電圧を約 15V に制限して、電流を 1mA 未満に制限します。



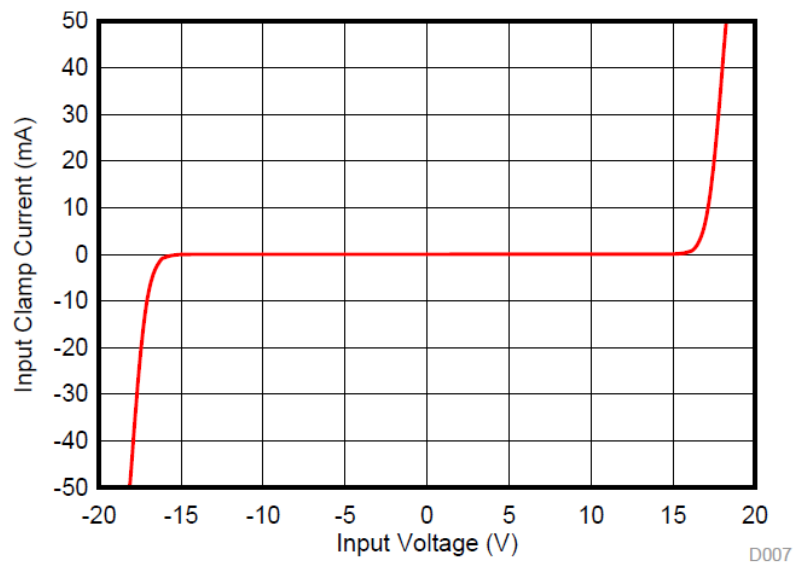
過電圧条件での ADC 入力 (AIN_P)

下図に、 $\pm 30\text{Vpeak}$ 過電圧信号が印加されたときの ADC 入力電圧を示します。クランプがオンになり、ADC 入力が $\pm 15\text{Vpeak}$ に制限されることに注意します。外部抵抗 R_{EXT} は電流を 1mA 未満に制限し、ADC を損傷から保護します。



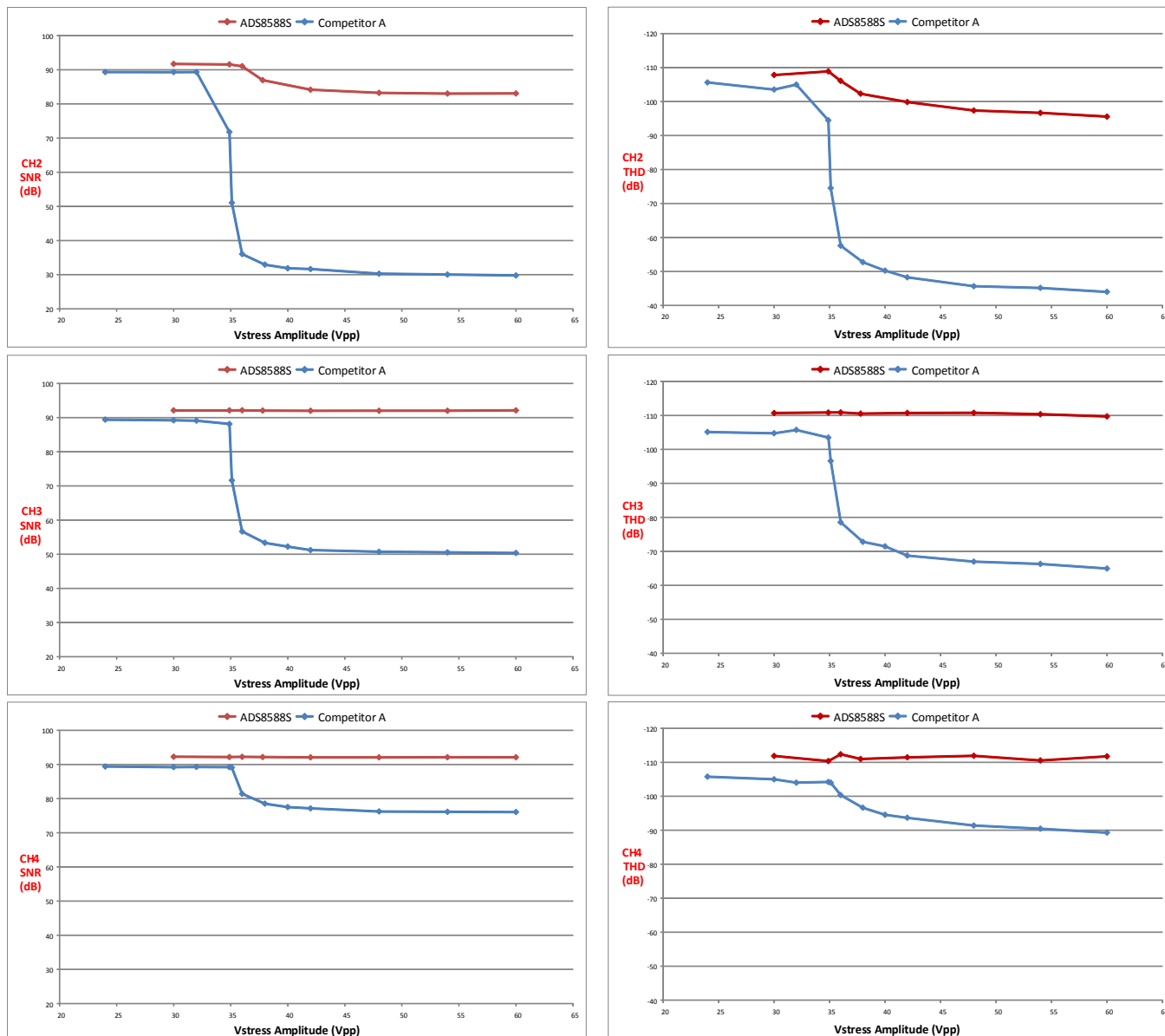
内部入力クランプ保護回路の I-V 曲線

下図に、内部クランプの V-I 曲線を示します。入力電圧が $\pm 15\text{V}$ の範囲内である場合、クランプがオフに維持され、リーク電流がごくわずかであることに注意します。電圧が $\pm 15\text{V}$ の範囲外になったとき、クランプがオンになり、電圧を制限します。



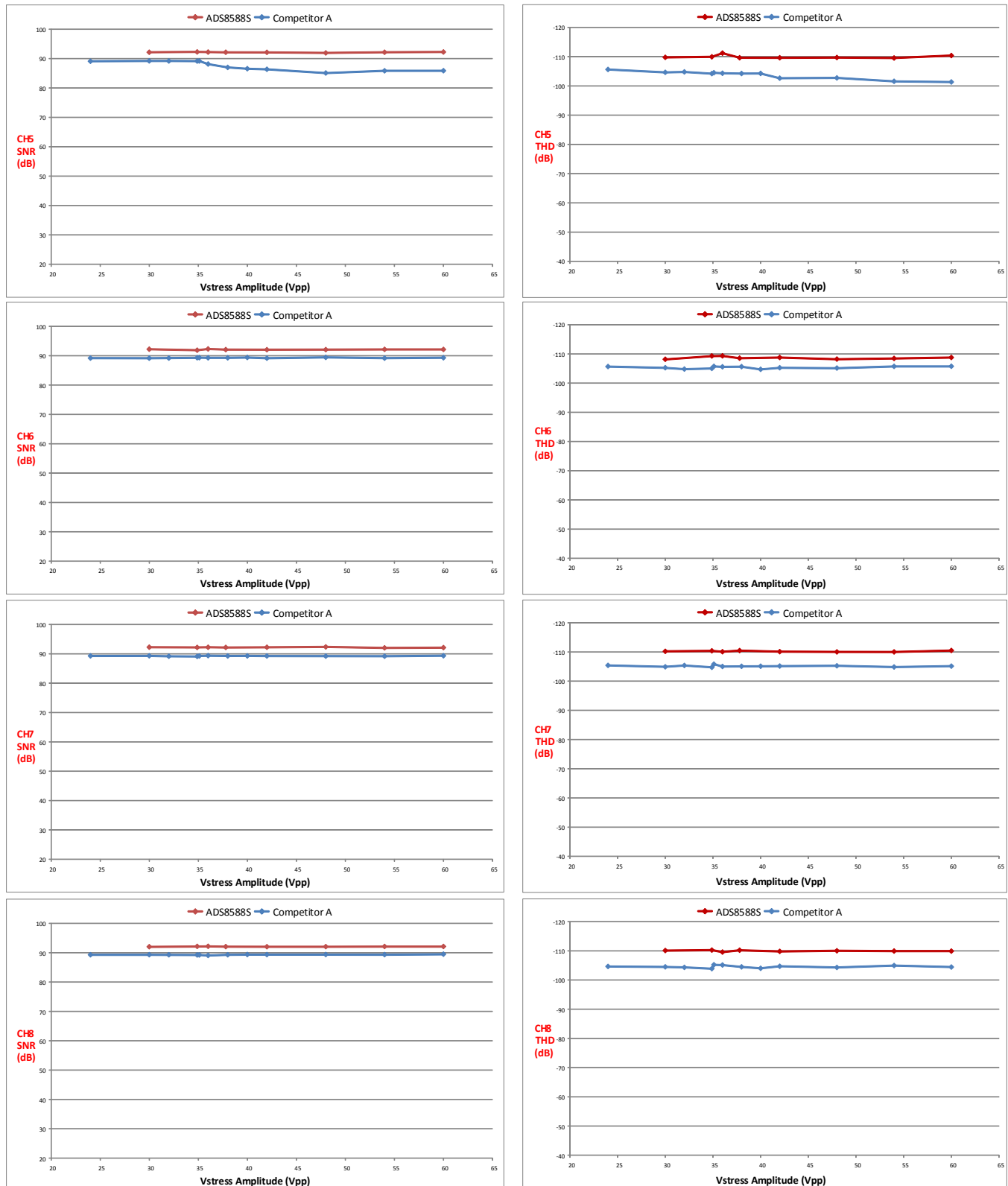
SNR と THD (チャンネル 1 = 過電圧)

下図は、 $\pm 30\text{Vpeak}$ (60Vpp) の電氣的過大ストレス信号をチャンネル 1 に印加し、その他のチャンネルを有効な入力信号 (1kHz 、 -0.5dBFS の正弦波) に接続している状態で測定しました。チャンネル 1 に過電圧信号を印加している状態で、有効な入力信号のチャンネルの SNR と THD を測定しています。このテストは、ADS8588S とともに、競合他社製のピン互換デバイスについても行っています。ADS8588S の SNR と THD はフォルト信号の影響を受けないか、または影響が最小限であることを注意します。これに対して、競合他社製のデバイスでは、SNR と THD の性能がフォルト信号の影響を大きく受けています。 $\pm 15\text{Vpeak}$ 、 $\pm 18\text{Vpeak}$ 、 $\pm 21\text{Vpeak}$ 、 $\pm 24\text{Vpeak}$ 、 $\pm 27\text{Vpeak}$ の信号でもこの回路をテストしました。予想どおり、より大きな過大ストレス信号で最悪の結果が得られます。



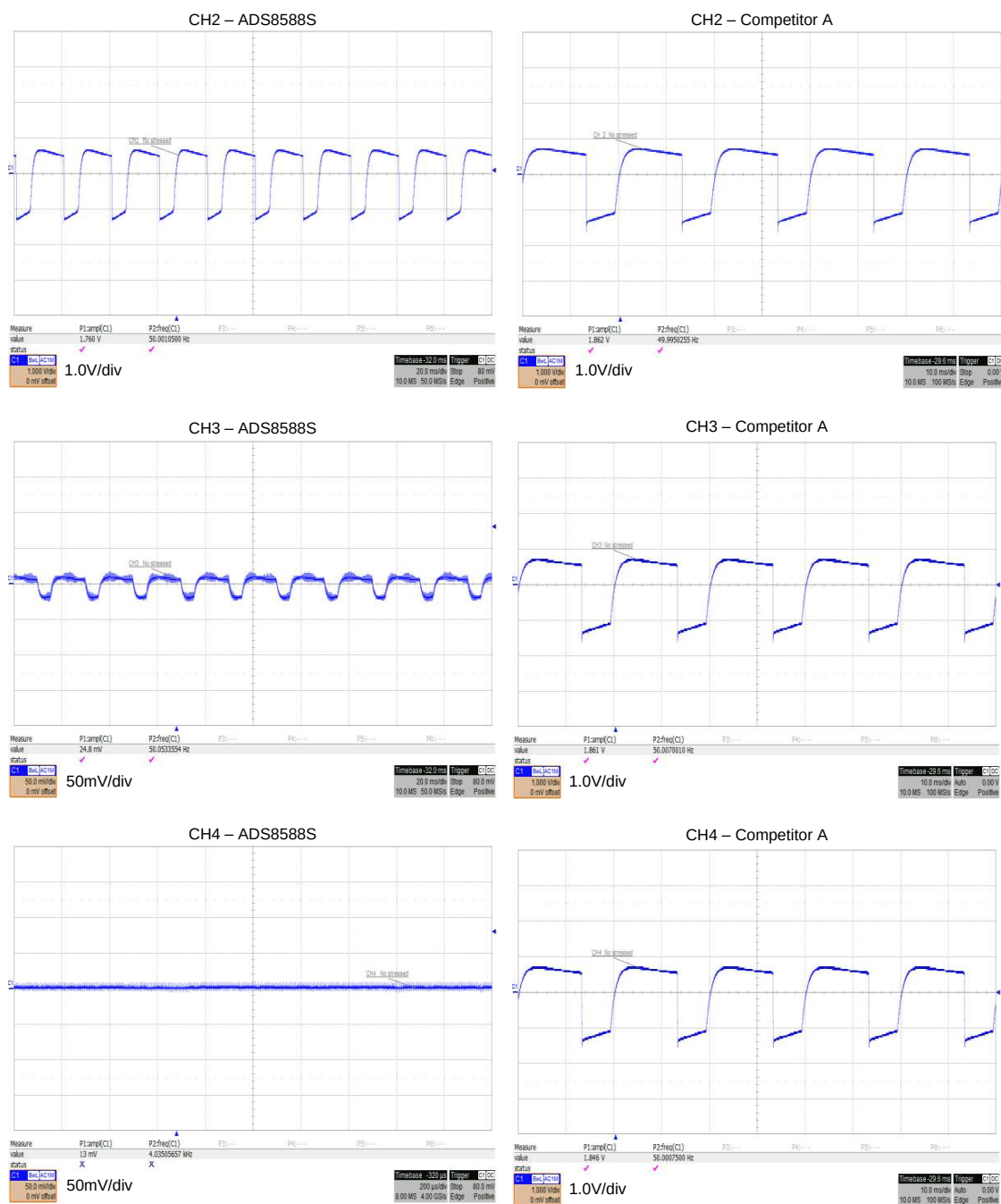
SNR と THD (チャンネル 1 = 過電圧) (続き)

±30Vpeak (60Vpp) フォルト信号をチャンネル 1 に印加し、その他のチャンネルに有効な入力信号を印加した場合の SNR および THD 測定による性能検証について引き続き解説します。



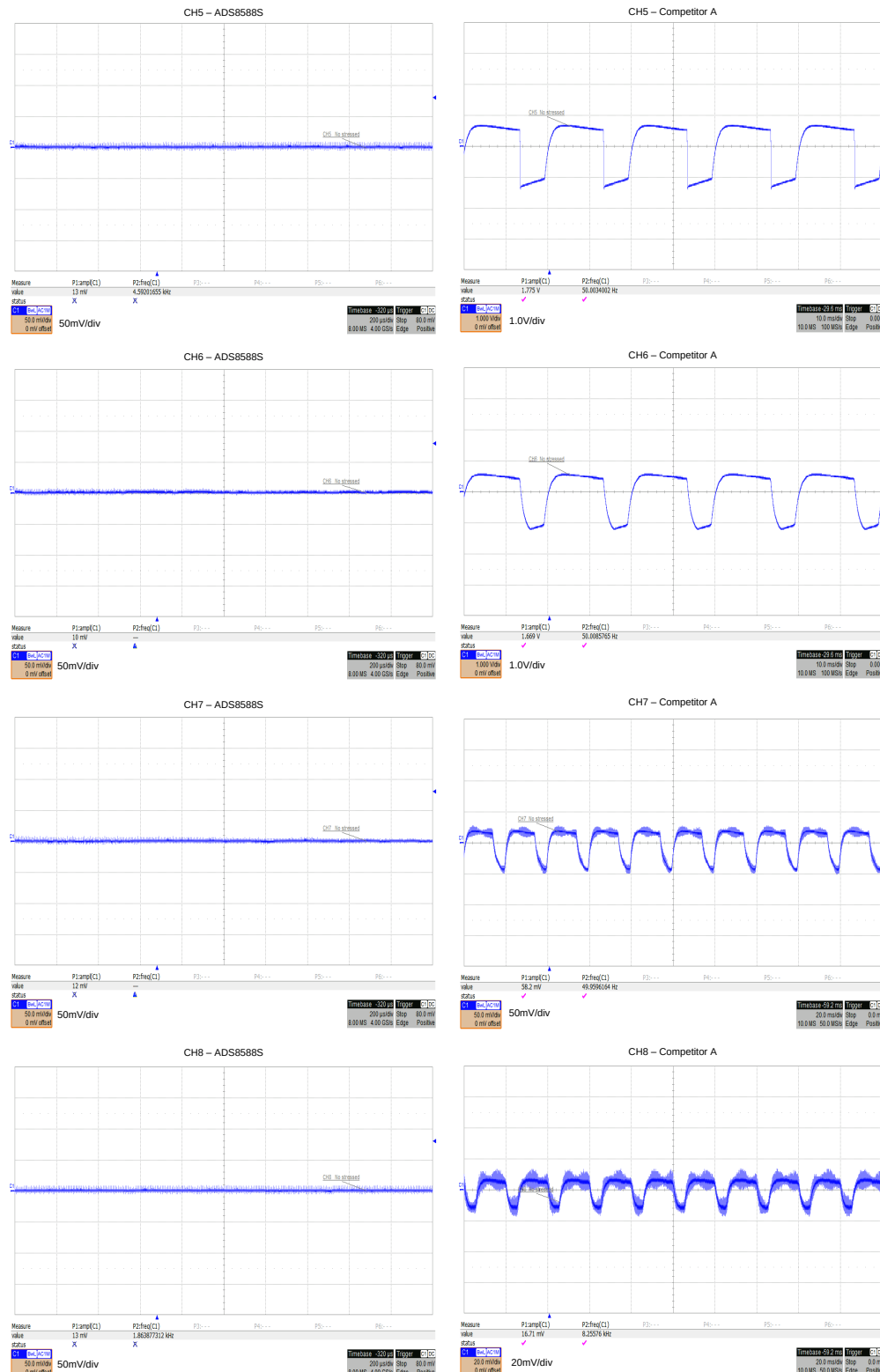
その他のチャンネルへのフォルト信号のフィードスルー

下図は、 $\pm 30\text{Vpeak}$ (60Vpp) の電氣的過大ストレス信号をチャンネル 1 に印加し、その他のチャンネルをフローティング状態にして測定しました。フローティングのチャンネルへの過電圧信号のフィードスルーは、オシロスコープで測定します。チャンネル 2 については、ADS8588S と競合他社製デバイスは同様であることに注意します。その他のチャンネル (CH3~CH8) では、ADS8588S のフィードスルーは競合他社製デバイスよりもはるかに小さいです。この結果は、ADS8588S の場合、システムの任意のチャンネルに過電圧フォルトが発生しても、有効な入力信号を印加しているチャンネルの動作は大きな影響を受けないことをはっきりと示しています。一方、競合他社製デバイスの場合、すべてのチャンネルがフォルトによって悪影響を受けています。 $\pm 15\text{Vpeak}$ 、 $\pm 18\text{Vpeak}$ 、 $\pm 21\text{Vpeak}$ 、 $\pm 24\text{Vpeak}$ 、 $\pm 27\text{Vpeak}$ の信号でもこの回路をテストしました。予想どおり、より大きな過大ストレス信号で最悪の結果が得られます。



その他のチャンネルへのフォルト信号のフィードスルー (続き)

以下は、有効な入力信号を印加している ADS8588S のチャンネルがフォルト・チャンネルの影響を受けないことを示すフィードスルー・テストの続きです。



設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

テキサス・インスツルメンツ、『[Reducing effects of external RC filter circuit on gain and drift error for integrated analog front ends \(AFE\): \$\pm 10V\$](#) 』(英語)

テキサス・インスツルメンツ、『[Circuit to increase input range on an integrated analog front end \(AFE\) SAR ADC](#)』(英語)

使用デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
ADS8588S	16 ビット、8 チャンネル同時サンプリング、バイポーラ入力 SAR ADC	http://www.ti.com/product/ADS8588S	http://www.ti.com/adcs
REF5025	低ノイズ、低ドリフト、高精度の基準電圧	http://www.ti.com/product/REF5025	http://www.ti.com/power-management/voltage-reference

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件(www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2019, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件(www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2019, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社