

真の差動、4 × 2 MUX、アナログ・フロント・エンド、同時サンプリング ADC 回路

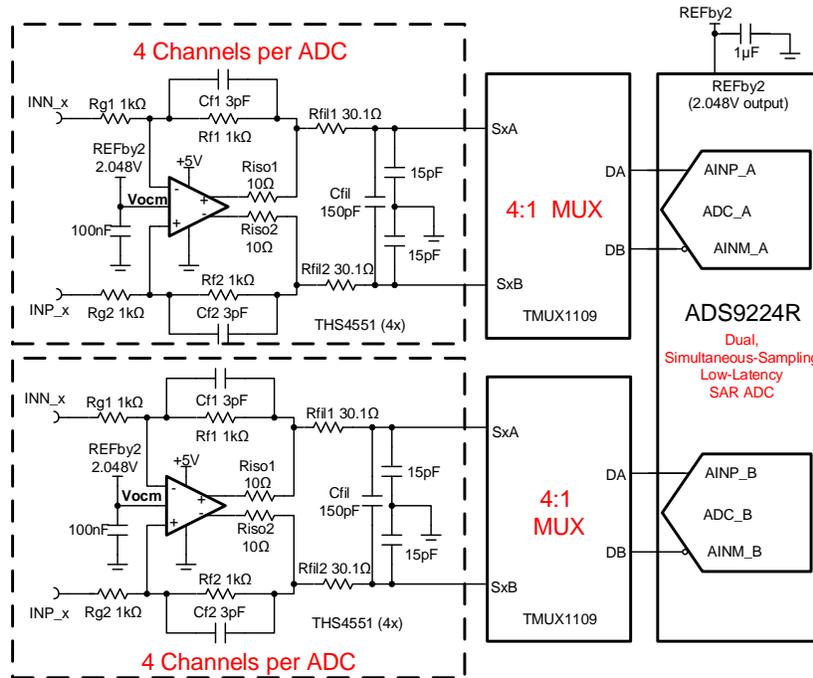
Luis Chioye

入力 (THS4551 入力)	ADC 入力 (THS4551 出力)	デジタル出力 ADS7042
VinP = +0.23V, VinN = +3.866V, VinMin(Dif) = -3.636V	VoutP = +0.23V, VoutN = 3.866V, Vout(Dif) = -3.636V	8E60 _H -29088 ₁₀
VinP = +3.866V, VinN = 0.23V, VinMax(Dif) = +3.636V	VoutP = 3.866V, VoutN = +0.23V, Vout(Dif) = +3.636V	71A0 _H +29088 ₁₀

電源			
Vcc	Vee	Vref	Vocm
5	0V	4.096V	2.048V

設計の説明

このデュアル同時サンプリング SAR ADC と 4 × 2 チャンネル多重化アナログ・フロント・エンドからなるデータ・アキュジション・ソリューションは、 $\pm 3.866\text{V}$ の範囲の差動電圧信号を測定でき、最高 3MSPS の ADC サンプリング・レート (またはチャンネルあたり 750kSPS の実効サンプリング・レート)、16 ビットの分解能をサポートしています。この回路はデュアル同時サンプリング SAR ADC を使用し、各 SAR ADC を 2 つの 4:1 (2x) マルチプレクサに接続して、ADC 1 個につき 4 つの差動入力チャンネルを提供します。8 つの完全差動アンプ (FDA) が、多重化された SAR ADC 入力を駆動します。この回路は、[光モジュール](#)や[アナログ入力モジュール](#)といった用途でのデュアル同時信号の高精度測定に適用できます。また、[サーボ・ドライブ制御モジュール](#)、[サーボ・ドライブ位置フィードバック](#)、[サーボ・ドライブ位置センサ](#)などのモータ駆動用途にも使えます。



仕様

仕様	目標	計算結果	シミュレーション結果
デュアル ADC サンプルング速度	3MSPS	3MSPS	3MSPS
チャンネルあたりのサンプルング・レート (デュアル、同時)	750kSPS (3MSPS/4)	750kSPS (3MSPS/4)	750kSPS (3MSPS/4)
ADC 過渡入力電圧セトリング	<< 1LSB << 125 μ V	該当なし	20 μ V
ADC 入力でのノイズ	50 μ V _{rms}	55.9 μ V _{rms}	51.1 μ V _{rms}

デザイン・ノート

- デュアル同時サンプルング、高スループット (3MSPS) という要件のため、ADS9224R を選択しました。
- 各 ADC で 4 チャンネル差動入力をサポートするために、TMUX1109 4:1 (2x) マルチプレクサを選択しました。
- ADC のフルスケール範囲、分解能、同相範囲の仕様を確認します。これについては「部品選定」で述べます。
- 同相および出力振幅の仕様に基づいて、FDA (THS4551) の線形範囲を決定します。これについては「部品選定」で述べます。
- 歪みを最小限に抑えるために、ADC 入力のすべてのフィルタ・コンデンサには COG コンデンサを選択します。
- FDA のゲイン抵抗 RF1、2、RG1、2 を選択します。高精度、低ゲイン・ドリフトを実現し、歪みを最小限に抑えるために 0.1% 20ppm/°C 以下の薄膜抵抗を使用します。
- 『[Introduction to SAR ADC Front-End Component Selection](#)』(英語) で、電荷バケツ回路の Rfil1 と Cfil の選択方法を説明しています。これらの部品の値は、アンプの帯域幅、データ・コンバータのサンプルング・レート、データ・コンバータの設計によって決まります。ここに示す値は、この例のアンプとデータ・コンバータで適切なセトリングと AC 性能を実現します。設計を変更する場合は、別の RC フィルタを選定する必要があります。
- THS4551 は、ADC の入力サンプルングとマルチプレクサの電荷注入による電荷のキックバック過渡電圧を安定化するのに十分な帯域幅を備えており、同相レベルを SAR ADC の電圧範囲にシフトできるため、高速・高精度の完全差動 SAR アプリケーションによく使用されています。

部品選定

1. Find ADC full-scale input range. In this circuit, ADS9224 internal $V_{REF} = 2.5V$

$$ADC_{Full-Scale\ Range} = (\pm 1.6384\ V/V) \cdot V_{REF} = \pm 4.096V \text{ from ADS9224R datasheet}$$

2. Find required ADC common-mode voltage 2.

$$V_{CM} = \frac{+ADC_{Full-Scale\ Range}}{2} = +2.048V \text{ from ADS9224R datasheet}$$

Use REFby2 Output pin of ADS9224R to connect to FDA (THS4551) $V_{COM} = 2.048V$

3. Find FDA absolute output voltage range for linear operation:

$$0.23V < V_{out} < 4.77V \text{ from THS4551 output low/high specification for linear operation}$$

4. Find FDA differential output voltage range for linear operation. The general output voltage equations for this circuit:

$$V_{outMin} = \frac{V_{outDifMin}}{2} + V_{cm}$$

$$V_{outMax} = \frac{V_{outDifMax}}{2} + V_{cm}$$

Rearrange the equations and solve for $V_{outDifMin}$ and $V_{outDifMax}$. Find maximum differential output voltage range based on worst case:

$$V_{outDifMax} = 2 \cdot V_{outMax} - 2 \cdot V_{cm} = 2 \cdot (4.096V) - 2 \cdot (2.048V) = 4.096V$$

$$V_{outDifMin} = 2 \cdot V_{outMin} - 2 \cdot V_{cm} = 2 \cdot (0.23V) - 2 \cdot (2.048V) = -3.636V$$

Based on combined worst case, choose $V_{outDifMin} = -3.636V$ and $V_{outDifMax} = +3.636V$

5. Set FDA gain to 1 V/V

$$Gain_{FDA} = \frac{R_f}{R_g} = \frac{1.00k\Omega}{1.00k\Omega} = 1V/V$$

6. Select the minimum charge kickback capacitor filter to optimize circuit for fastest settling.

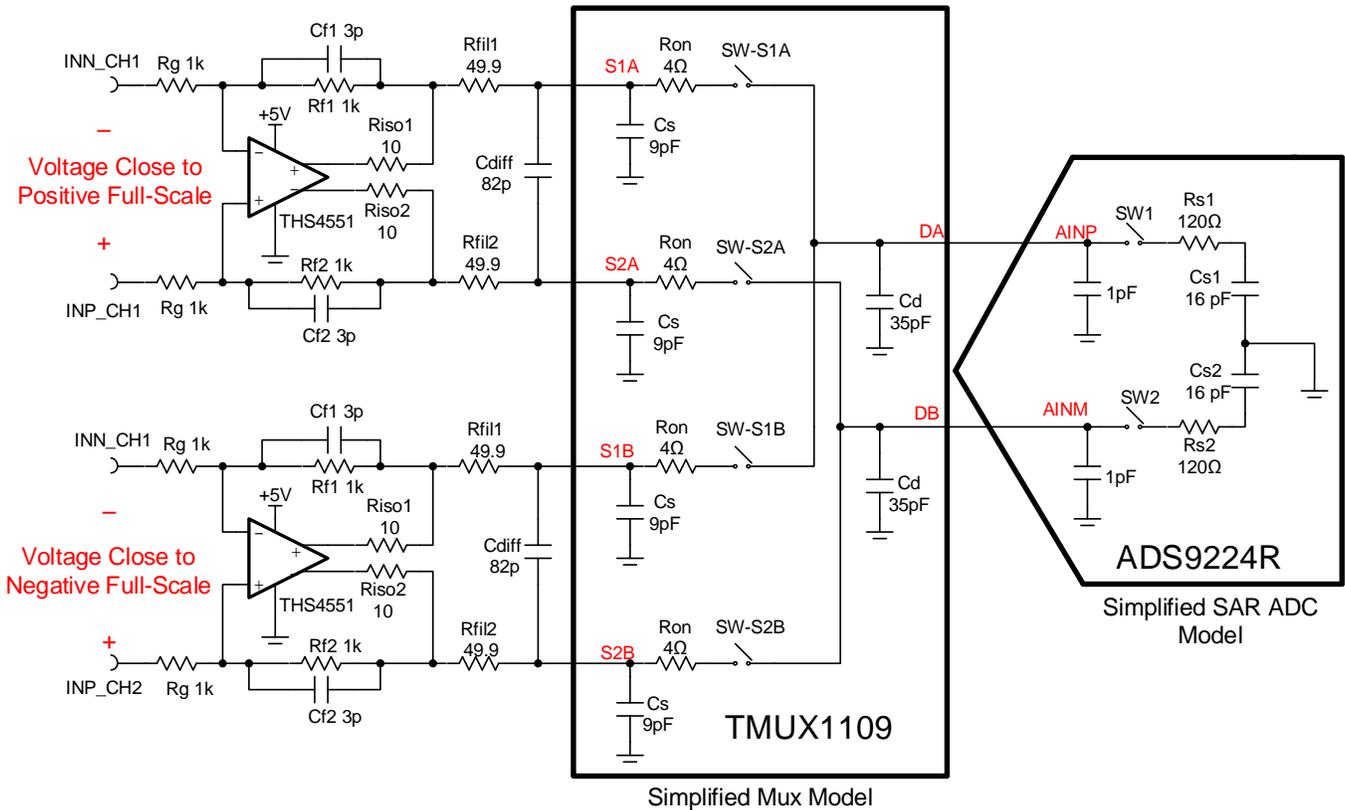
$$C_{sh} = 16\ pF \text{ internal sample-and-hold capacitor from ADS9224R datasheet}$$

Select a capacitor 10x larger than $C_{fil} = 150\ pF$

7. Optimize RC charge kickback filter resistors R_{fil1} , R_{fil2} and feedback capacitors C_{f1} , C_{f2} for both settling and stability using TINA simulations. This is covered in the transient settling optimization and stability simulation sections.

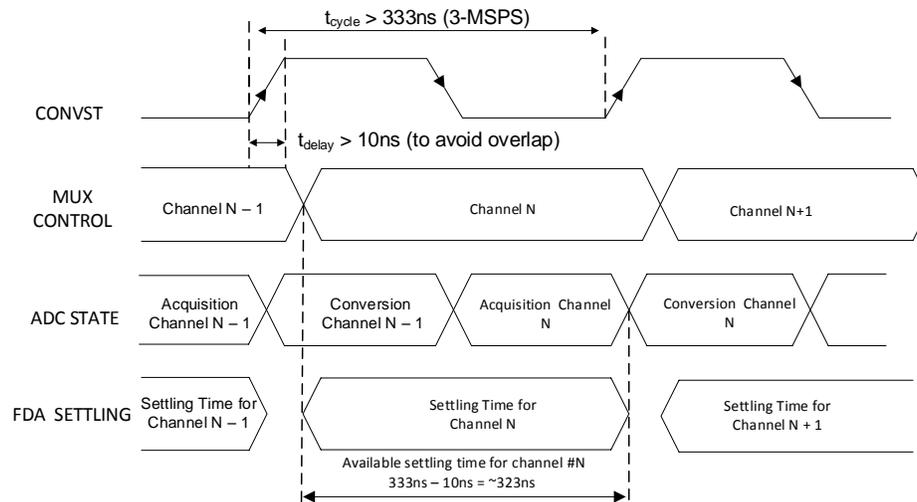
過渡セトリングの最適化

TINA シミュレーションを使用して、安定性と高速な過渡セトリングを実現するように RC キックバック・フィルタを最適化します。過渡シミュレーションでは、マルチプレクサ (TMUX1109) の 2 つの隣接チャンネルを使用します。マルチプレクサによるスキャン・シーケンス中のワーストケースの過渡セトリングをシミュレートするために、2 つの隣接チャンネルをそれぞれ正のフルスケールと負のフルスケールに近い電圧に設定します。マルチプレクサのドレイン容量と直列抵抗を、マルチプレクサ・シミュレーション回路でモデル化します。SAR ADC のサンプル/ホールド・コンデンサは、アキュイジション期間中に SAR ADC の分解能である 16 ビット以内にセトリングする必要があります。このシミュレーション回路の概略回路図を以下に示します。



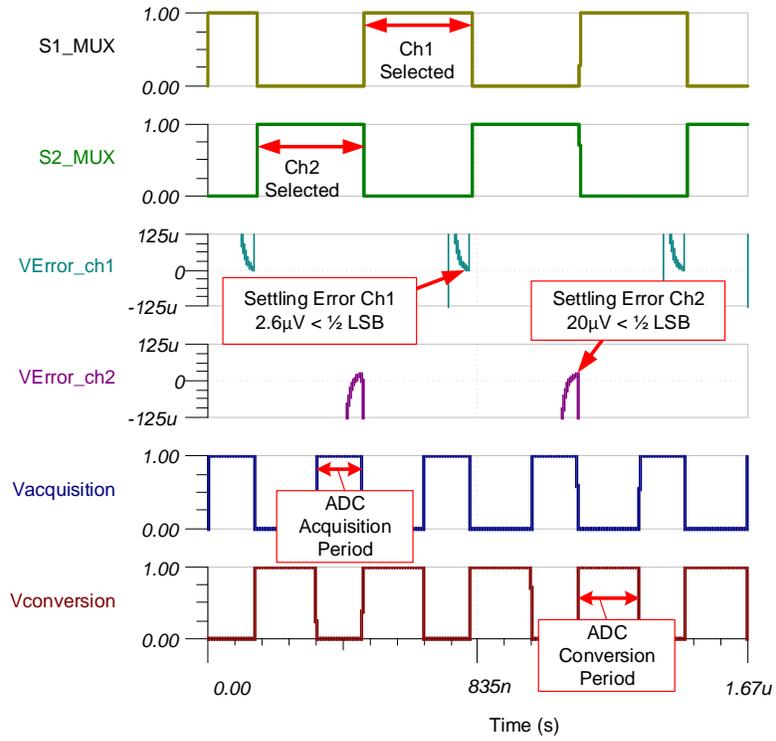
マルチプレクサと ADC の制御タイミング

下図に、ADC の変換制御 (CONVST) とマルチプレクサのチャンネル制御のタイミングを示します。ADS9224R は最高サンプリング・レート 3MSPS (最小サイクル時間 333ns) をサポートしています。CONVST 信号の立ち上がりエッジの前にチャンネルが切り替わるのを防止するため、CONVST の立ち上がりエッジ後の MUX のチャンネル制御タイミングにわずかな遅延を挿入します。この件の詳しい理論については、TI Design 『[16-Bit, 400-kSPS, Four-Channel MUX Data Acquisition System for High-Voltage Inputs Reference Design](#)』(英語) を参照してください。



過渡セトリングの結果

以下の TINA 過渡シミュレーションは、隣接 MUX チャンネル間のフルスケール・ステップ変動後の FDA、マルチプレクサ、SAR ADC サンプル/ホールドのセトリングを示しています。このようなシミュレーションは、サンプル/ホールド・キックバック回路と AFE アンプ回路が適正に選定されていることを示します。最高水準のセトリングと AC 性能を実現する RC フィルタの選択方法については、『[Introduction to SAR ADC Front-End Component Selection](#)』(英語) を参照してください。

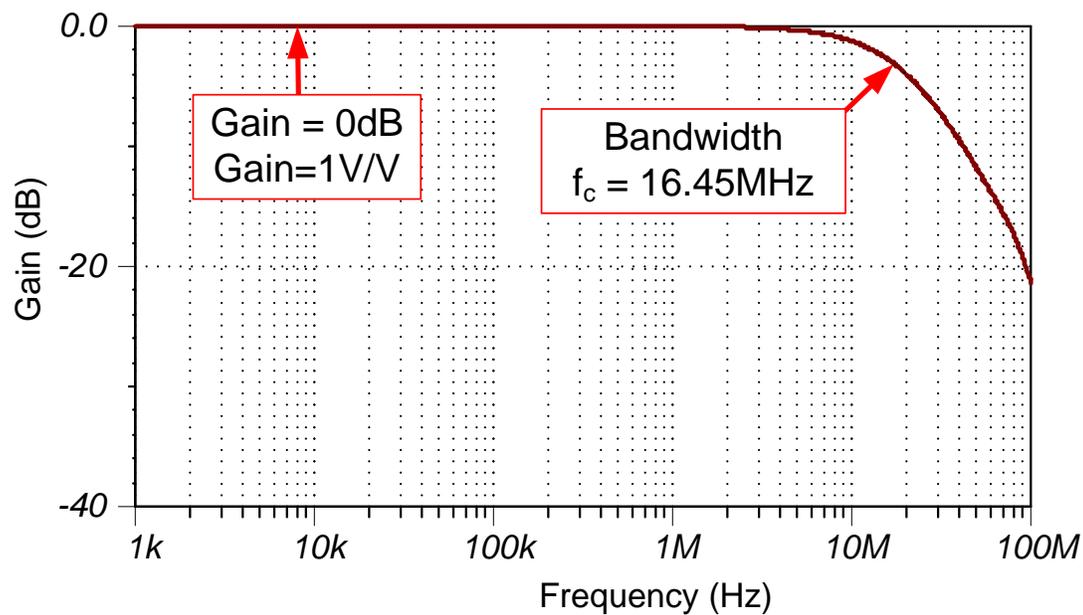


AC 伝達特性

この回路のゲインは 0dB (1V/V)、周波数帯域幅のシミュレーション結果は 16.45MHz です。帯域幅の計算結果とシミュレーション結果がほぼ一致していることに注意します (計算結果 = 17.62MHz、シミュレーション結果 = 16.45MHz)。帯域幅の計算およびシミュレーションの概要については、『Op Amp Bandwidth』(英語) を参照してください。

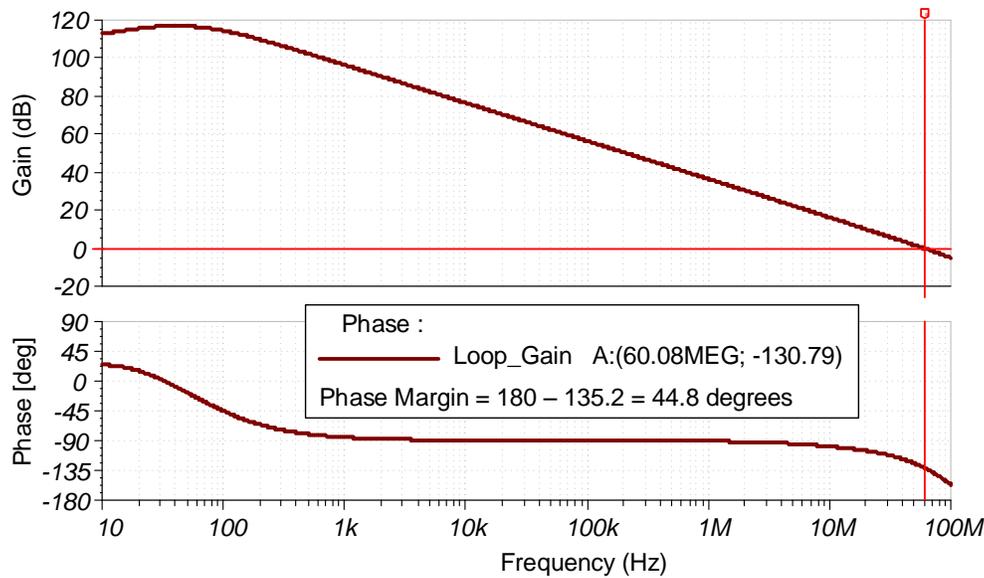
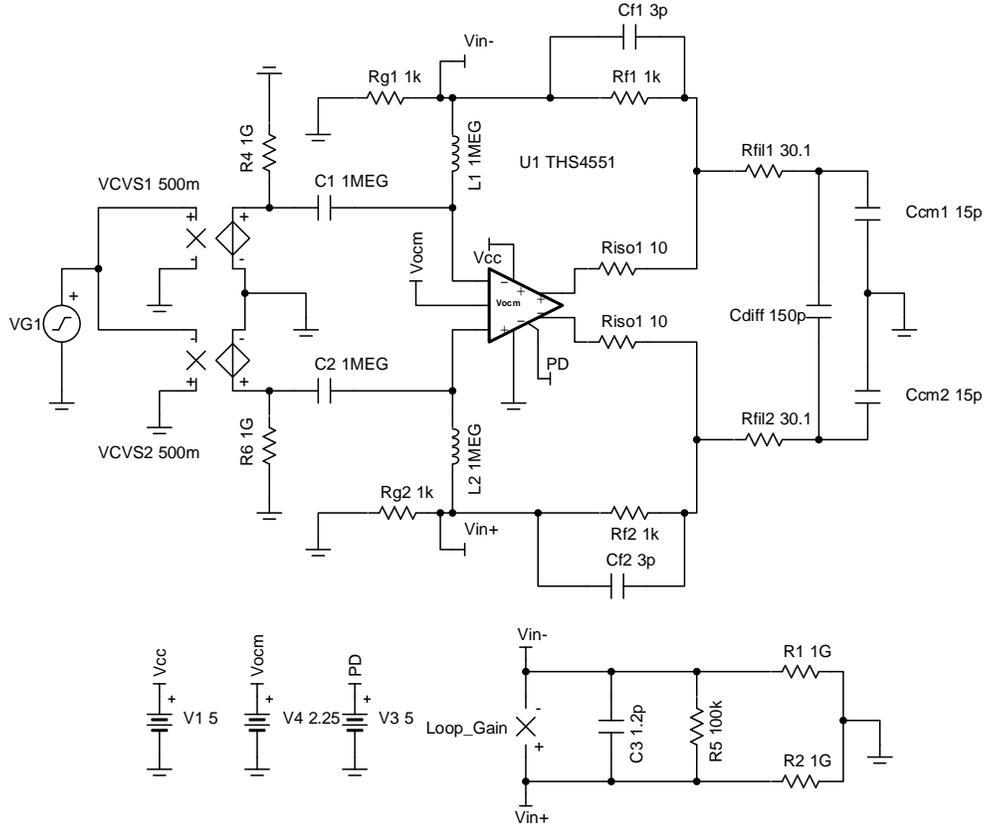
システムの帯域幅は出力フィルタにより設定されます。

$$f_c = \frac{1}{2\pi(R_{fil1} + R_{fil2})C_{diff}} = \frac{1}{2\pi(30.1\Omega + 30.1\Omega)(150pF)} = 17.62MHz$$



安定化シミュレーションのグラフ

以下の回路を TINA で使用し、TINA の AC 解析を用いてループ・ゲインの測定と位相マージンの検証を行います。帰還ループ内に抵抗 $RISO = 10\Omega$ を使用して、位相マージンを増やします。この回路は安定性に優れています (約 45° の位相マージン)。この件の詳しい理論については、『Op Amp Stability』(英語) を参照してください。



ノイズ・シミュレーション

Simplified noise calculation estimate:

The dominant pole in this data acquisition circuit is in the RC kickback filter:

$$f_c = \frac{1}{2\pi(R_{fil1} + R_{fil2})C_{diff}} = \frac{1}{2\pi(30.1\Omega + 30.1\Omega)(150pF)} = 17.62MHz$$

Noise of THS4551 FDA referred to ADC input

$$\text{Noise Gain: } NG = 1 + R_f / R_g = 1 + \frac{1k\Omega}{1k\Omega} = 2V/V$$

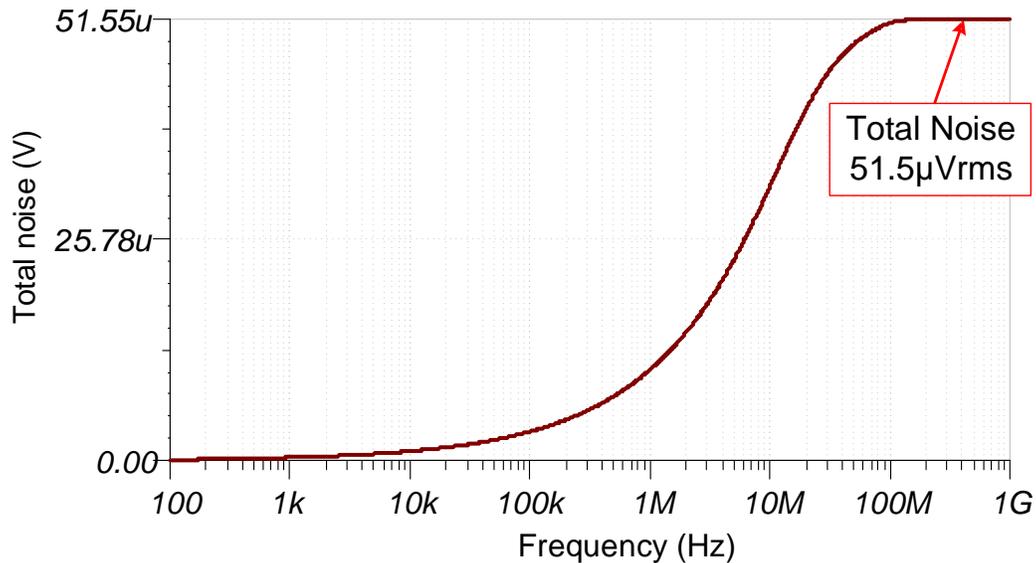
$$e_{noFDA} = \sqrt{(e_{nFDA} \cdot NG)^2 + 2(i_{nFDA} \cdot R_f)^2 + 2(4kTR_f \cdot NG)}$$

$$e_{noFDA} = \sqrt{(3.4nV / \sqrt{Hz} \cdot 2.00V / V)^2 + 2(0.5pA / \sqrt{Hz} \cdot 1k\Omega)^2 + 2(16.56 \cdot 10^{-18} \cdot 2.00V / V)}$$

$$e_{noFDA} = 10.629nV / \sqrt{Hz}$$

$$E_{nFDA} = e_{noFDA} \cdot \sqrt{K_n \cdot f_c} = (10.629nV / \sqrt{Hz}) \sqrt{1.57 \cdot 17.62MHz} = 55.90\mu V_{rms}$$

下図に、FDA 回路の総ノイズの TINA シミュレーション結果を示します。この件の詳しい理論については、『[Calculating the Total Noise for ADC Systems](#)』(英語)を参照してください。ノイズの計算結果とシミュレーション結果がほぼ一致していることに注意します (計算結果 = $55.9\mu V_{rms}$ 、シミュレーション結果 = $51.5\mu V_{rms}$)。



使用デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
ADS9224R	分解能 16 ビット、SPI、サンプル・レート 3MSPS、完全差動入力、2.5V リファレンス搭載、デュアル、同時サンプリング、低レイテンシ	http://www.ti.com/product/ADS9224R	http://www.ti.com/adcs
THS4551	150MHz、入力電圧ノイズ 3.3nV/√Hz、完全差動アンプ	http://www.ti.com/product/THS4551	http://www.ti.com/opamps

設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

主要なファイルへのリンク

低消費電力センサ測定用 TINA ファイル - <http://www.ti.com/lit/zip/SBAC219>

改訂履歴

改訂内容	日付	変更
A	2018 年 11 月	タイトルのサイズを小さく変更。 「過渡セトリングの最適化」セクションの回路を更新。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated