

AC 結合の計装アンプ回路

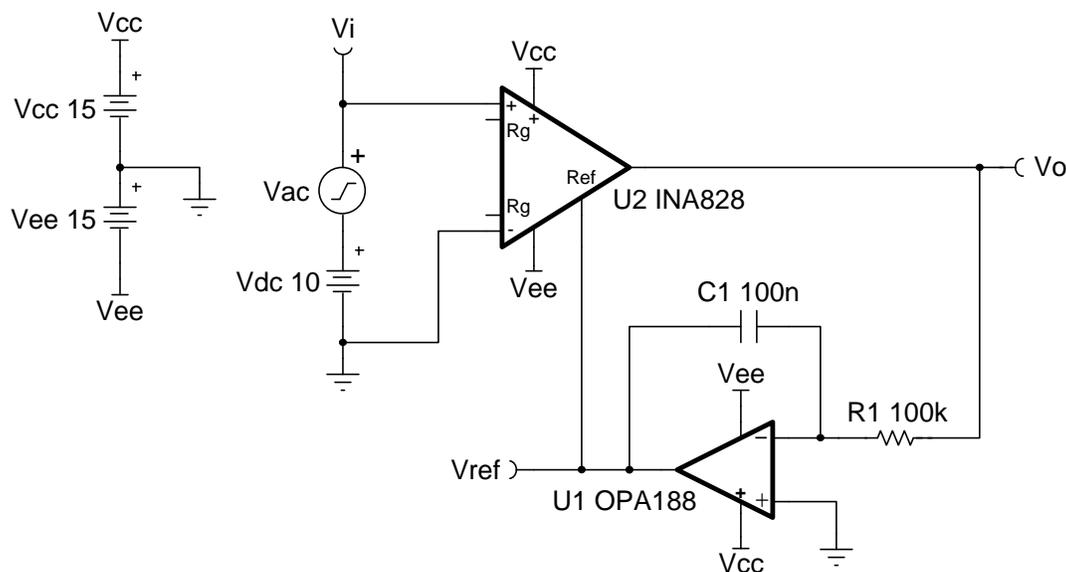
設計目標

入力		出力		電源	
V_{iMin}	V_{iMax}	V_{oMin}	V_{oMax}	V_{cc}	V_{ee}
-13V	13V	-14.85V	14.85	15	-15

低域カットオフ周波数 (f_L)	ゲイン	入力
16Hz	1	$\pm 2V_{AC}$ 、 $+10V_{DC}$

設計の説明

この回路は、計装アンプへの DC 結合された入力信号から AC 結合のみの出力を生成します。この出力は積分器経路で帰還され、積分器の出力はアンプの基準電圧に変調に使用されます。これによりハイパス・フィルタが形成され、出力オフセットが実質的にキャンセルされます。この回路は、部品のミスマッチに起因して CMRR を大幅に劣化させる可能性がある大容量コンデンサや抵抗を入力に接続する必要がありません。



デザイン・ノート

- 出力から基準電圧への DC 補正はユニティ・ゲインです。U₁ は、入出力の制限範囲内の信号についてのみ補正が可能のため、計装アンプのゲインを増やすと、補正可能な DC 電圧の大きさは減少します。詳細については、「設計手順」の表を参照してください。
- R₁ および C₁ の値を大きくすると、カットオフ周波数が低くなりますが、起動時の過渡応答時間が長くなります。起動時の挙動は、過渡シミュレーション結果で観察できます。
- この方法で AC 結合を行うとき、合計入力電圧は計装アンプの同相入力範囲内に維持される必要があります。

設計手順

1. 回路の低域カットオフ周波数 (積分器のカットオフ周波数) を設定します。高域カットオフ周波数は、ゲインと計装アンプの帯域幅から決定されます。

$$f_L = \frac{1}{2\pi \times R_1 \times C_1} = 16 \text{ Hz}$$

2. R_1 と C_1 の標準値を選択します。

$$C_1 = 100 \text{ nF}$$

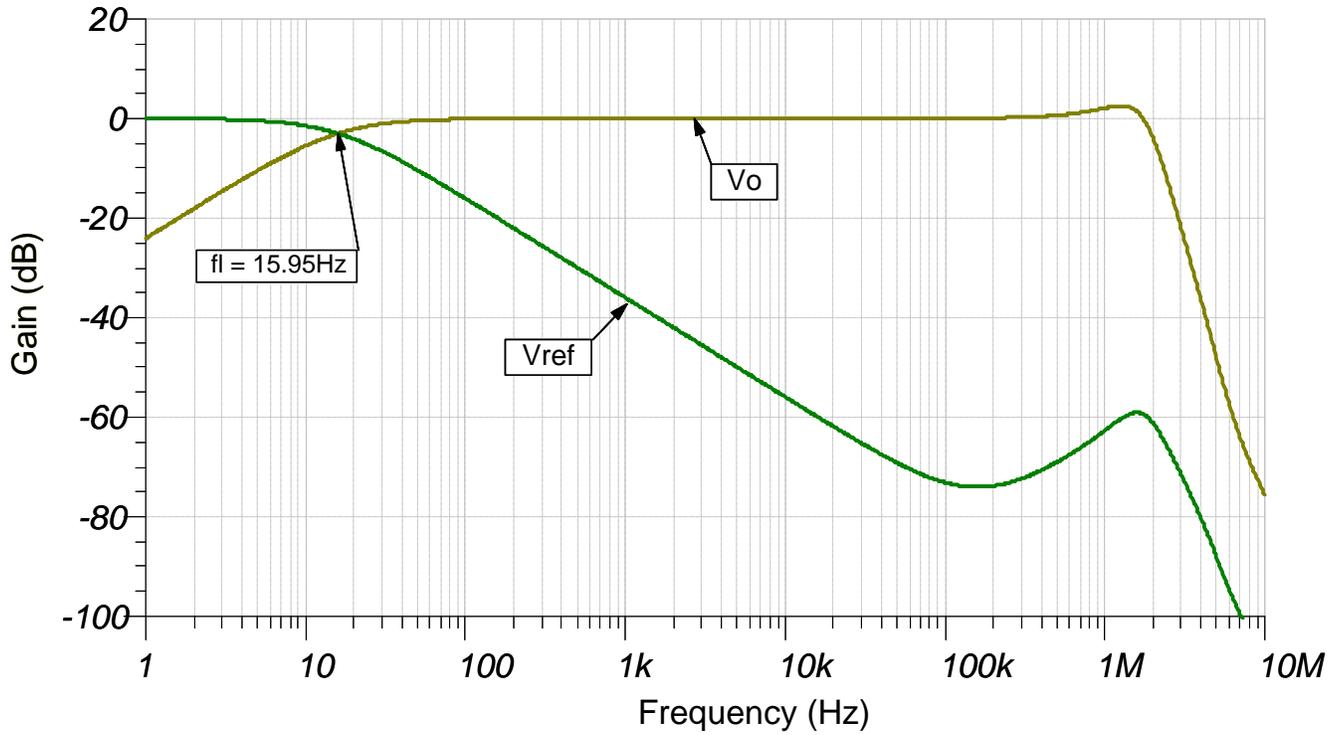
$$R_1 = \frac{1}{2\pi \times 100 \text{ nF} \times 16 \text{ Hz}} = 99.47 \text{ k}\Omega \approx 100 \text{ k}\Omega \text{ (standard value)}$$

3. 回路の DC 除去能力は、ゲインにつれて低下します。次の表は、高いゲインについての DC 補正範囲の妥当な推定値です。

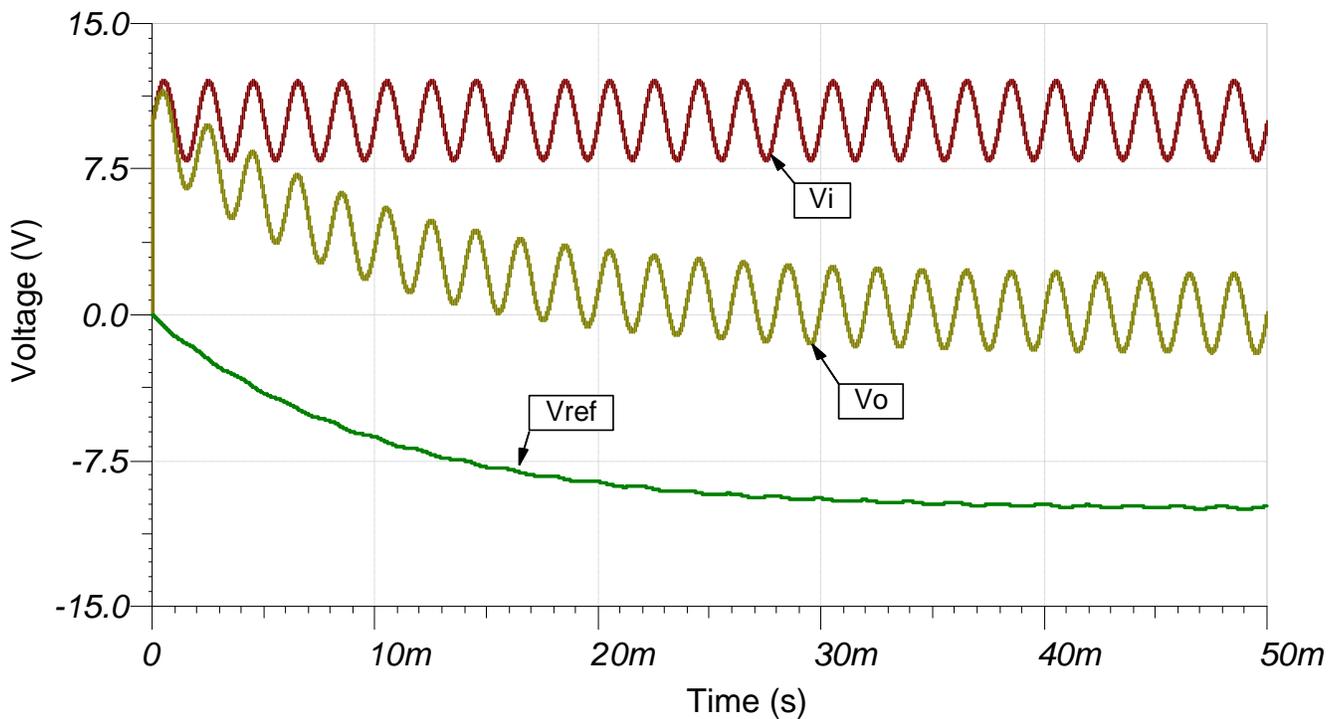
ゲイン	DC 補正範囲
1V/V	±10V
10V/V	±1V
100V/V	±0.1V
1000V/V	±0.01V

設計シミュレーション

ACシミュレーション結果



過渡シミュレーション結果



設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

TINA-TI™ 回路シミュレーション・ファイル、[SBOMAU0](#) を参照してください。

TIPD191、<http://www.tij.co.jp/tool/jp/tipd191> を参照してください。

設計に使用されている計装アンプ

INA828	
V_{ss}	4.5V~36V
V_{inCM}	$V_{ee}+2V \sim V_{cc}-2V$
V_{out}	$V_{ee}+150mV \sim V_{cc}-150mV$
V_{os}	20 μ V
I_q	600 μ A
I_b	150pA
UGBW	2MHz
SR	1.2V/ μ s
チャンネル数	1
www.ti.com/product/INA828	

設計に使用されているオペアンプ

OPA188	
V_{ss}	8V~36V
V_{inCM}	$V_{ee} \sim V_{cc}-1.5V$
V_{out}	レール・ツー・レール
V_{os}	6 μ V
I_q	450 μ A
I_b	± 160 pA
UGBW	2MHz
SR	0.8V/ μ s
チャンネル数	1、2、4
www.ti.com/product/OPA188	

設計の代替オペアンプ

TLV171	
V_{ss}	2.7V~36V
V_{inCM}	$V_{ee}-0.1V \sim V_{cc}-2V$
V_{out}	レール・ツー・レール
V_{os}	750 μ V
I_q	525 μ A
I_b	± 10 pA
UGBW	3MHz
SR	1.5V/ μ s
チャンネル数	1、2、4
www.ti.com/product/OPA188	

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated