SNx4AHC74 クリアとプリセット搭載、デュアル・ポジティブ・エッジ・トリガ D タイプ・フリップ・フロップ

1 特長

- 2V～5.5V の V_{CC} で動作
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 200V、マシン モデル(A115-A)
  - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- モメンタリ・スイッチからトグル・スイッチへの変換
- コントローラ・リセット時の信号保持
- 低速エッジレート信号の入力
- ノイズの多い環境での動作
- クロック信号の 2 分割

3 概要

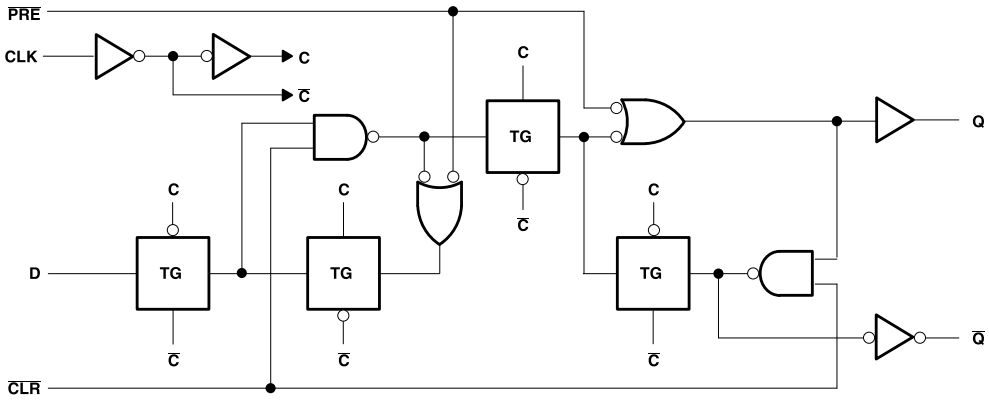
SNx4AHC74 デュアル ポジティブ エッジ トリガ デバイスは、D タイプ フリップ フロップです。

プリセット ($\overline{PRE}$) またはクリア ($\overline{CLR}$) 入力を Low レベルにすると、その他の入力レベルに関係なく、出力がセットまたはリセットされます。ここで、$\overline{PRE}$ および $\overline{CLR}$ が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

製品情報

部品番号	定格	パッケージ (1)
SN54AHC74	軍事	FK (LCCC、20)
		J (CDIP、14)
		W (CFP、14)
SN74AHC74	商用	D (SOIC、14)
		DB (SSOP、14)
		DGV (TVSOP、14)
		N (PDIP、14)
		NS (SO、14)
		PW (TSSOP、14)
		RGY (VQFN、14)
		BQA (WQFN、14)

(1) 詳細については、セクション 11 を参照してください。



論理図 (正論理)

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報 — SN74AHC74.....6
5.5 電気的特性.....6
5.6 タイミング要件 — V_{CC} = 3.3V ± 0.3V.....6
5.7 タイミング要件 — V_{CC} = 5V ± 0.5V.....7
5.8 スイッチング特性 — V_{CC} = 3.3V ± 0.5V.....7
5.9 スイッチング特性 — V_{CC} = 5V ± 0.5V.....7
5.10 ノイズ特性.....8
5.11 動作特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 デバイスの機能モード.....10
8 アプリケーションと実装.....11
8.1 アプリケーション情報.....11
8.2 代表的なアプリケーション.....11
8.3 電源に関する推奨事項.....13
8.4 レイアウト.....14
9 デバイスおよびドキュメントのサポート.....15
9.1 ドキュメントのサポート.....15
9.2 ドキュメントの更新通知を受け取る方法.....15
9.3 サポート・リソース.....15
9.4 商標.....15
9.5 静電気放電に関する注意事項.....15
9.6 用語集.....15
10 改訂履歴.....15
11 メカニカル、パッケージ、および注文情報.....16

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

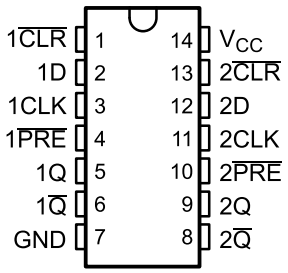


図 4-1. SN54AHC74 J または W パッケージ、 14 ピン CDIP または CFP (上面図)

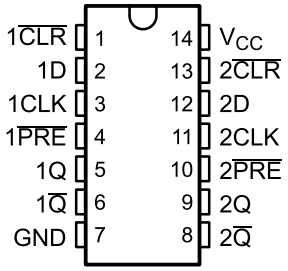


図 4-2. SN74AHC74 D、DB、DGV、N、NS、または PW パッケージ、 14 ピン SOIC、SSOP、TVSOP、PDIP、SO、または TSSOP (上面図)

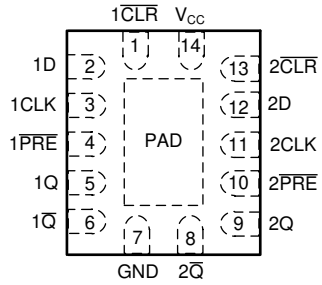
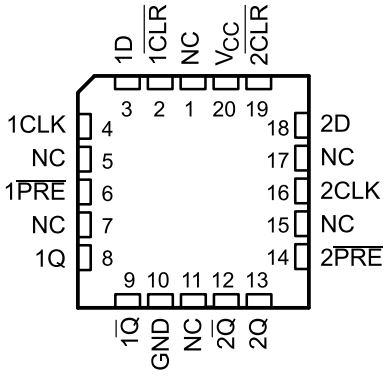


図 4-3. SN74AHC74 RGY または BQA パッケージ、 14 ピン VQFN または WQFN (露出サーマル・パッド付き) (上面図)



NC − No internal connection

NC - 内部接続なし

図 4-4. SN54AHC74 FK パッケージ、 20 ピン LCCC (上面図)

表 4-1. ピンの機能

ピン					種類 (1)	説明
名称	CDIP または CFP	SOIC、SSOP、TVSOP、PDIP、SO、または TSSOP	VQFN、WQFN	LCCC		
1CLK	3	3	3	4	I	チャネル 1 のクロック、立ち上がりエッジがトリガされます
1 $\overline{CLR}$	1	1	1	2	I	チャネル 1 のクリア、アクティブ Low
1D	2	2	2	3	I	チャネル 1 のデータ
1 $\overline{PRE}$	4	4	4	6	I	チャネル 1 のプリセット、アクティブ Low
1Q	5	5	5	8	O	チャネル 1 の出力
1 $\overline{Q}$	6	6	6	9	O	チャネル 1 の反転出力
2CLK	11	11	11	16	I	チャネル 2 のクロック、立ち上がりエッジがトリガされます
2 $\overline{CLR}$	13	13	13	19	I	チャネル 2 のクリア、アクティブ Low
2D	12	12	12	18	I	チャネル 2 のデータ
2 $\overline{PRE}$	10	10	10	14	I	チャネル 2 のプリセット、アクティブ Low
2Q	9	9	9	13	O	チャネル 2 の出力
2 $\overline{Q}$	8	8	8	12	O	チャネル 2 の反転出力
GND	7	7	7	10	—	グランド
NC	—	—	—	1、5、7、11、15、17	—	内部接続なし
V_{CC}	14	14	14	20		正電源
サーマル・パッド					—	サーマル・パッド

(1) I = 入力、O = 出力

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I (2)	入力電圧		-0.5	7	V
V_O (2)	出力電圧		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)	–20		mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})	-20	20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})	-25	25	mA
	V_{CC} または GND を通過する連続電流		-50	50	mA
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN54AHC74		SN74AHC74		単位
			最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		2	5.5	2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		1.5		V
		V_{CC} = 3V	2.1		2.1		
		V_{CC} = 5.5V	3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5		0.5	V
		V_{CC} = 3V		0.9		0.9	
		V_{CC} = 5.5V		1.65		1.65	
V_I	入力電圧		0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		–50		–50	μA
		V_{CC} = 3.3V ± 0.3V		-4		–4	mA
		V_{CC} = 5V ± 0.5V		–8		–8	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50		50	μA
		V_{CC} = 3.3V ± 0.3V		4		4	mA
		V_{CC} = 5V ± 0.5V		8		8	
Δt/Δv	入力遷移の立ち上がりレートまたは立ち下がりレート	V_{CC} = 3.3V ± 0.3V		100		100	ns/V
		V_{CC} = 5V ± 0.5V		20		20	

Copyright © 2024 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		SN54AHC74		SN74AHC74		単位
		最小値	最大値	最小値	最大値	
T_A	自由気流での動作温度	–55	125	–40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。『低速またはフローティング CMOS 入力の影響』、SCBA004 を参照してください。

5.4 熱に関する情報 — SN74AHC74

熱評価基準(1)		SNx4AHC74								単位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	RGY (VQFN)	BQA (WQFN)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.5	96	127	80	76	147.7	87.1	88.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			–55℃～+125℃ SN54AHC74		–40℃～+85℃ SN74AHC74		–40℃～+125℃ SN74AHC74		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = –50μA	2V	1.9	2		1.9		1.9		1.9		V
		3V	2.9	3		2.9		2.9		2.9		
		4.5V	4.4	4.5		4.4		4.4		4.4		
	I_{OH} = –4mA	3V	2.58			2.48		2.48		2.48		
	I_{OH} = –8mA	4.5V	3.94			3.8		3.8		3.8		
V_{OL}	I_{OL} = 50μA	2V			0.1		0.1		0.1		0.1	V
		3V			0.1		0.1		0.1		0.1	
		4.5V			0.1		0.1		0.1		0.1	
	I_{OL} = 4mA	3V			0.36		0.5		0.44		0.5	
	I_{OH} = 8mA	4.5V			0.36		0.5		0.44		0.5	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1(1)		±1		±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			2		20		20		20	μA
C_i	V_I = V_{CC} または GND	5V		2	10				10			pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

5.6 タイミング要件 — V_{CC} = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内 (特に記述のない限り)

			T_A = 25℃		SN54AHC74		–40℃～+85℃ SN74AHC74		–40℃～+125℃ SN74AHC74		単位
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{PRE}$ または $\overline{CLR}$ Low	6		7		7		7		ns
		CLK	6		7		7		7		
t_{su}	CLK ↑ 前のセットアップ時間	データ	6		7		7		7		ns
		$\overline{PRE}$ または $\overline{CLR}$ が非アクティブ	5		5		5		5		
t_h	ホールド時間、CLK ↑ 後のデータ		0.5		0.5		0.5		0.5		ns

Copyright © 2024 Texas Instruments Incorporated

5.7 タイミング要件 — V_{CC} = 5V ± 0.5V

自由気流での推奨動作温度範囲内 (特に記述のない限り)

			T_A = 25℃		SN54AHC74		–40℃～+85℃ SN74AHC74		–40℃～+125℃ SN74AHC74		単位
			最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{PRE}$ または $\overline{CLR}$ Low	5		5		5		5		ns
		CLK	5		5		5		5		
t_{su}	CLK ↑ 前のセットアップ時間	データ	5		5		5		5		ns
		$\overline{PRE}$ または $\overline{CLR}$ が非アクティブ	3		3		3		3		
t_h	ホールド時間、CLK ↑ 後のデータ		0.5		0.5		0.5		0.5		ns

5.8 スイッチング特性 — V_{CC} = 3.3V ± 0.5V

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC74		–40℃～+85℃ SN74AHC74		–40℃～+125℃ SN74AHC74		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	80(1)	125(1)		70(1)		70		70		MHz
			C_L = 50pF	50	75		45		45		45		
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 15pF		7.6(1)	12.3(1)	1(1)	14.5(1)	1	14.5	1	14.5	ns
t_{PHL}					7.6	12.3	1(1)	14.5(1)	1	14.5	1	14.5	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 15pF		6.7	11.9	1(1)	14(1)	1	14	1	14	ns
t_{PHL}					6.7	11.9	1(1)	14(1)	1	14	1	14	
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 50pF		10.1	15.8	1	18	1	18	1	18	ns
t_{PHL}					10.1	15.8	1	18	1	18	1	18	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 50pF		9.2	15.4	1	17.5	1	17.5	1	17.5	ns
t_{PHL}					9.2	15.4	1	17.5	1	17.5	1	17.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

5.9 スイッチング特性 — V_{CC} = 5V ± 0.5V

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC74		–40℃～+85℃ SN74AHC74		–40℃～+125℃ SN74AHC74		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	130(1)	170(1)		110(1)		110		110		MHz
			C_L = 50pF	90	115		75		75		75		
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 15pF		4.8(1)	7.7(1)	1(1)	9(1)	1	9	1	9	ns
t_{PHL}					4.8(1)	7.7(1)	1(1)	9(1)	1	9	1	9	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 15pF		4.6(1)	7.3(1)	1(1)	8.5(1)	1	8.5	1	8.5	ns
t_{PHL}					4.6(1)	7.3(1)	1(1)	8.5(1)	1	8.5	1	8.5	
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 50pF		6.3	9.7	1	11	1	11	1	11	ns
t_{PHL}					6.3	9.7	1	11	1	11	1	11	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 50pF		6.1	9.3	1	10.5	1	10.5	1	10.5	ns
t_{PHL}					6.1	9.3	1	10.5	1	10.5	1	10.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

Copyright © 2024 Texas Instruments Incorporated

5.10 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃ ((1) を参照)

パラメータ		SN74AHCT74		単位
		最小値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的 V_{OL}		0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 V_{OL}		–0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的 V_{OH}	4.7		V
$V_{IH(D)}$	High レベル動的入力電圧	3.5		V
$V_{IL(D)}$	Low レベル動的入力電圧		1.5	V

(1) 特性は表面実装パッケージ専用です。

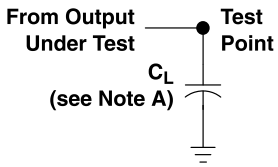
5.11 動作特性

V_{CC} = 5V、T_A = 25℃

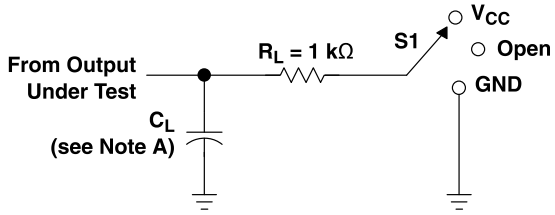
パラメータ		テスト条件		標準値	単位
C_{pd}	消費電力キャパシタンス	無負荷、	f = 1MHz	32	pF

Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

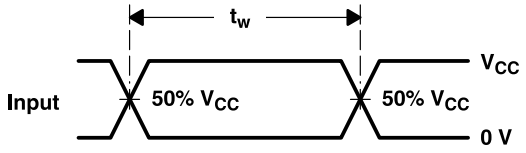


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

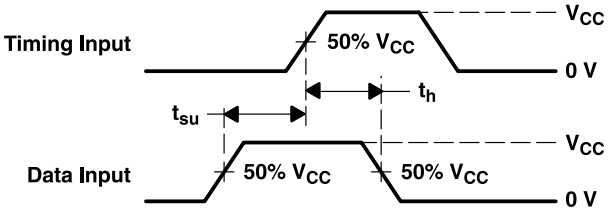


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

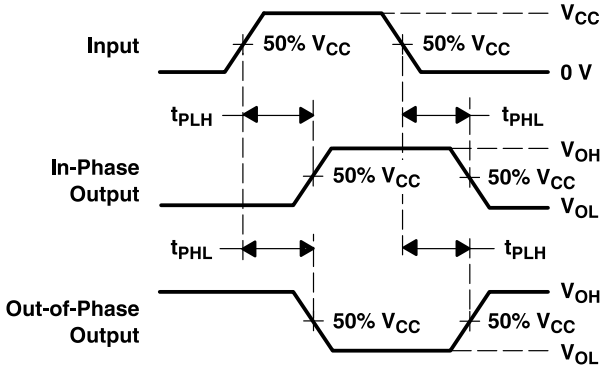
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



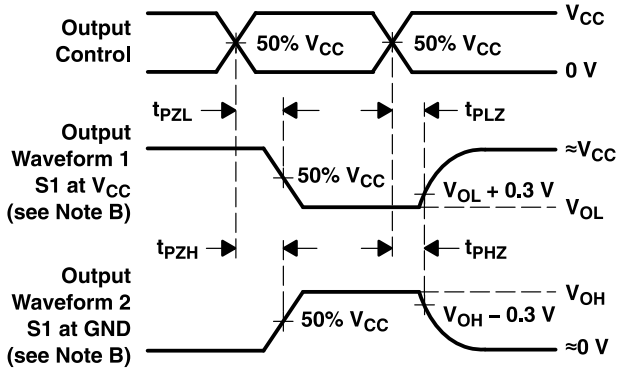
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control.
Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time with one input transition per measurement.
E. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4AHC74 デュアル・ポジティブ・エッジ・トリガ・デバイスは、D タイプ・フリップ・フロップです。

その他の入力のレベルに関係なく、プリセット (PRE) 入力を Low レベルにすると出力は High になり、クリア (CLR) 入力を Low レベルにすると出力は Low になります。PRE と CLR が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック・パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック・パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

7.2 機能ブロック図

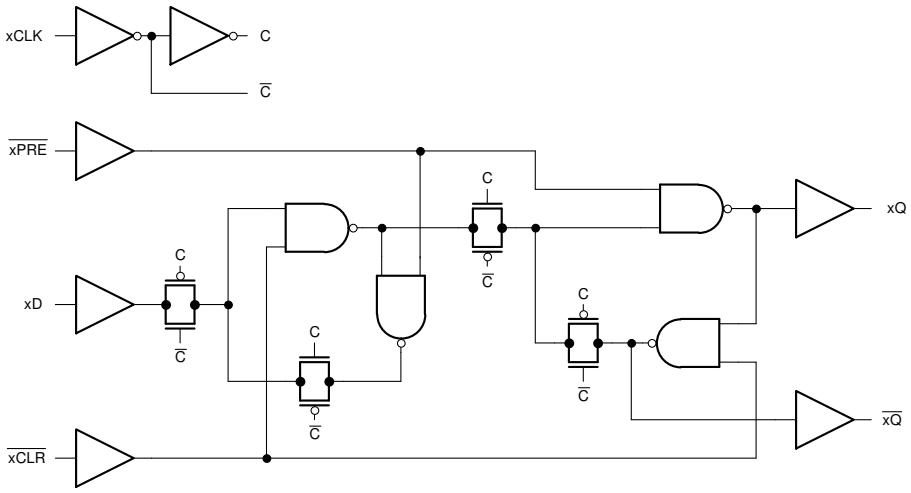


図 7-1. SNx4AHC74 の 1 チャネルの論理図 (正論理)

7.3 デバイスの機能モード

表 7-1 に、各入出力の機能表を示します。

表 7-1. 機能表 (各フリップ・フロップ)

入力				出力	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H(1)	H(1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

(1) この構成は不安定です。つまり、PRE または CLR が非アクティブ (High) レベルに戻ったときに持続しません。

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

トグル スイッチは通常、大きく、機械的に複雑で、比較的高価です。代わりにモメンタリ スイッチを使用することをお勧めします。これらのスイッチは小型で、機械的に単純で、コストが低いからです。一部のシステムではトグル スイッチの機能が必要ですが、スペースまたはコストの制約があり、代わりにモメンタリ スイッチを使用する必要があります。外部シュミット・トリガ・バッファを使用して、(CLK) および (D) 入力へのノイズの多い入力を除去します。

SNx4AHC74 のデータ入力 (D) が反転出力 ($\overline{Q}$) に接続されている場合、各クロック・パルスにより出力 (Q) の値がトグルします。モメンタリ・スイッチをデバウンスし、クロック入力 (CLK) に直接接続して出力を切り替えることができます。

8.2 代表的なアプリケーション

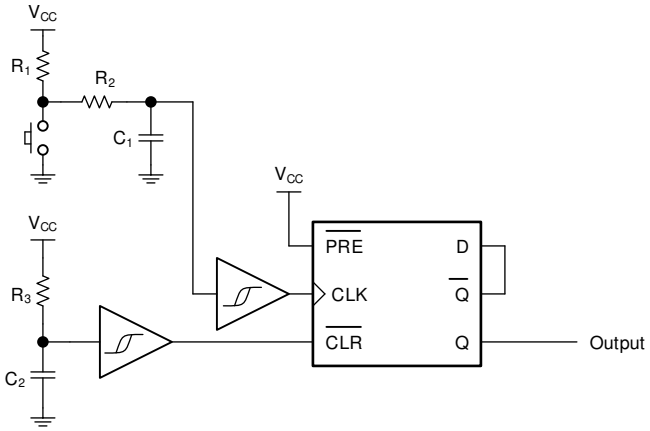


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 入力に関する考慮事項

入力信号は、ロジック Low と見なされるには $V_{IL(max)}$ を超え、ロジック High と見なされるには $V_{IH(min)}$ を超える必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端する必要があります。入力が完全に使用されていない場合は、未使用の入力を直接終端できます。または、入力が常にではなく時々使用される場合、プルアップ抵抗またはプルダウン抵抗に接続できます。デフォルト状態の High にはプルアップ抵抗が、デフォルト状態の Low にはプルダウン抵抗が使用されます。コントローラの駆動電流、SNx4AHC74 へのリーク電流 (「電気的特性」で規定)、および要求される入力遷移レートによって、抵抗のサイズが制限されます。これらの要因により、多くの場合、10kΩ の抵抗値が使用されます。

SNx4AHC74 には CMOS 入力があるため、「推奨動作条件」表に定義されているように、正しく動作するには高速な入力遷移が必要です。入力遷移が遅いと、発振が発生し、消費電力が増加し、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定されている範囲内であることを確認します。 電源電圧は、「電気的特性」セクションに記載されているように、デバイスの電気的特性を設定します。

正電圧電源は、SNx4AHC74 のすべての出力でソースされる合計電流と等しい電流、「電気的特性」に記載されている最大静的電源電流 I_{CC}、およびスイッチングに必要な過渡電流をソースできる必要があります。 ロジック・デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SNx4AHC74 のすべての出力でシンクされる合計電流と等しい電流、「電気的特性」に記載されている最大電源電流 I_{CC}、およびスイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SNx4AHC74 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えることはお勧めしません。

SNx4AHC74 は、合計抵抗が $R_L \geqq V_O / I_O$ で記述され、出力電圧および電流が「電気的特性」表に定義されている負荷を V_{OH} および V_{OL} で駆動できます。High 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』アプリケーション・ノートに記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載されている情報を使用して計算できます。

> **注意**
> 「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値に違反しないでください。これらの制限値は、デバイスの損傷を防止するために規定されています。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4AHC74 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

図 8-2 に、ボタンを 1 回押すとバウンスし、出力が複数回トグルする例を示します。これにより、目的のアプリケーションで問題が発生します。図 8-3 では、デバウンス回路を追加しボタンを 4 回押しています。これにより、不要なトグルが修正され、適切なトグル・スイッチ動作が可能になります。

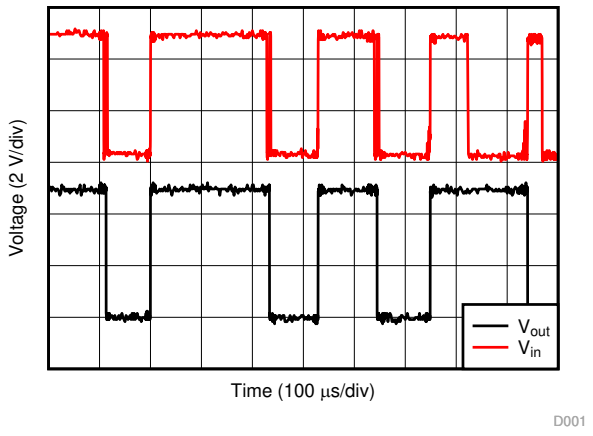


図 8-2. RC デバウンスのない回路応答 V_{in} : = CLK 入力、V_{out} := Q 出力

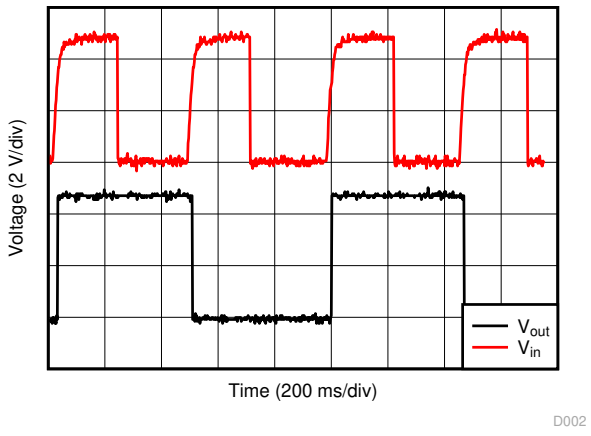


図 8-3. RC デバウンスのある回路応答 V_{in} : = CLK 入力、V_{out} := Q 出力

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。 電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

Copyright © 2024 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにしてはいけません。外部接続では電圧が未定義であるため、動作状態が未定義になります。デジタル・ロジック・デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック・レベルは、デバイスの機能によって異なります。一般に、入力は GND または V_{CC} に接続され、ロジック機能にとって適切な、または利便性の高い方に接続されます。

8.4.1.1 レイアウト例

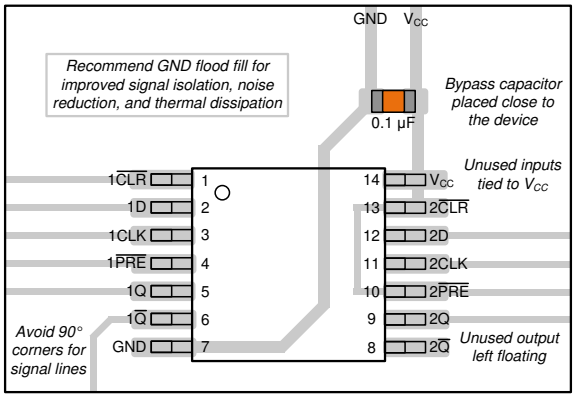


図 8-4. SNx4AHC74 のレイアウト例

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (October 2023) to Revision N (February 2024)	Page
• RθJA の値を更新：RGY = 47～87.1、値はすべて℃/W	6

Changes from Revision L (June 2023) to Revision M (October 2023)	Page
• RθJA の値を更新：D = 86～124.5、PW = 113～147.7、値はすべて℃/W	6

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9686001Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001Q2A SNJ54AHC 74FK	Samples
5962-9686001QCA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001QCA SNJ54AHC74J	Samples
5962-9686001QDA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001QDA SNJ54AHC74W	Samples
SN74AHC74BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74	Samples
SN74AHC74DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA74	Samples
SN74AHC74DGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA74	Samples
SN74AHC74DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74	Samples
SN74AHC74N	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHC74N	Samples
SN74AHC74NSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74	Samples
SN74AHC74PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA74	Samples
SN74AHC74RGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HA74	Samples
SN74AHC74RGYRG4	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HA74	Samples
SNJ54AHC74FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001Q2A SNJ54AHC 74FK	Samples
SNJ54AHC74J	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001QCA SNJ54AHC74J	Samples
SNJ54AHC74W	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686001QDA SNJ54AHC74W	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC74, SN74AHC74 :

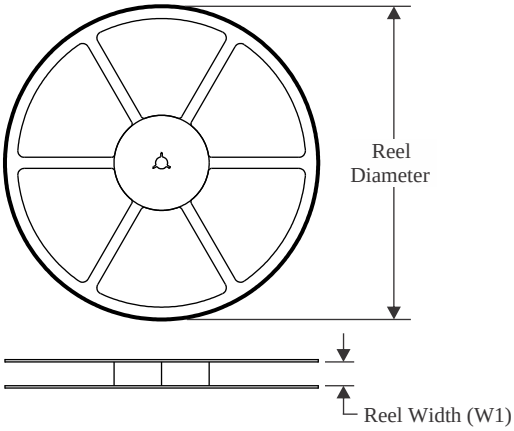
- Catalog : SN74AHC74
- Enhanced Product : SN74AHC74-EP, SN74AHC74-EP
- Military : SN54AHC74

NOTE: Qualified Version Definitions:

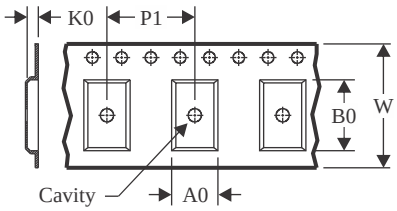
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

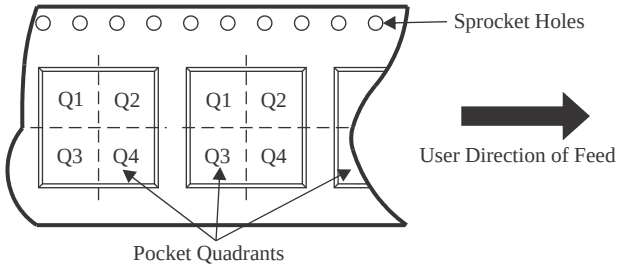


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

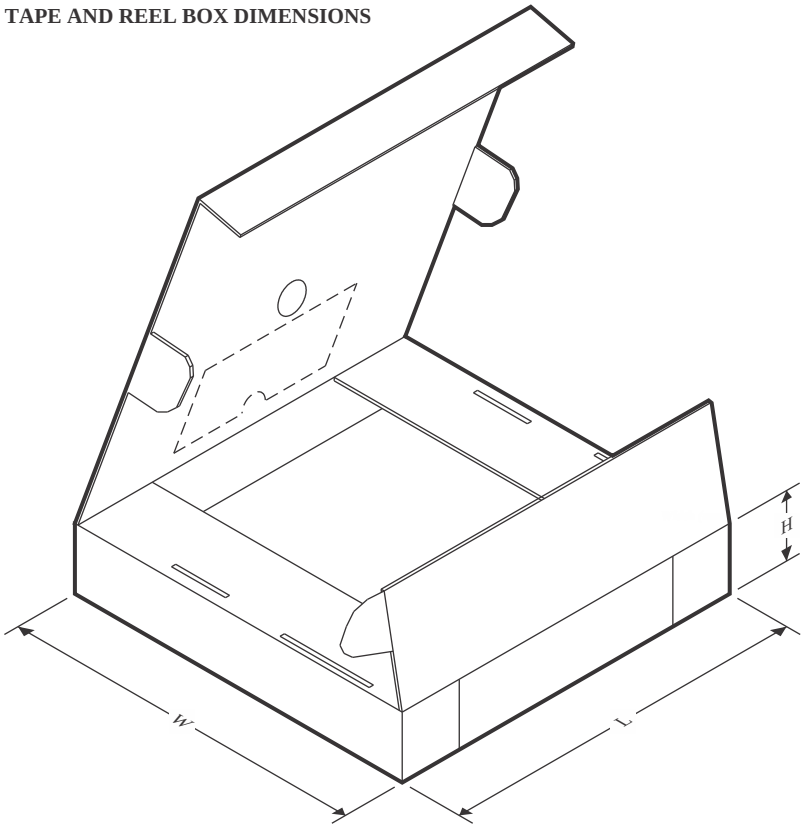
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC74BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHC74DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC74DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC74DR	SOIC	D	14	2500	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHC74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC74NSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74AHC74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC74RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

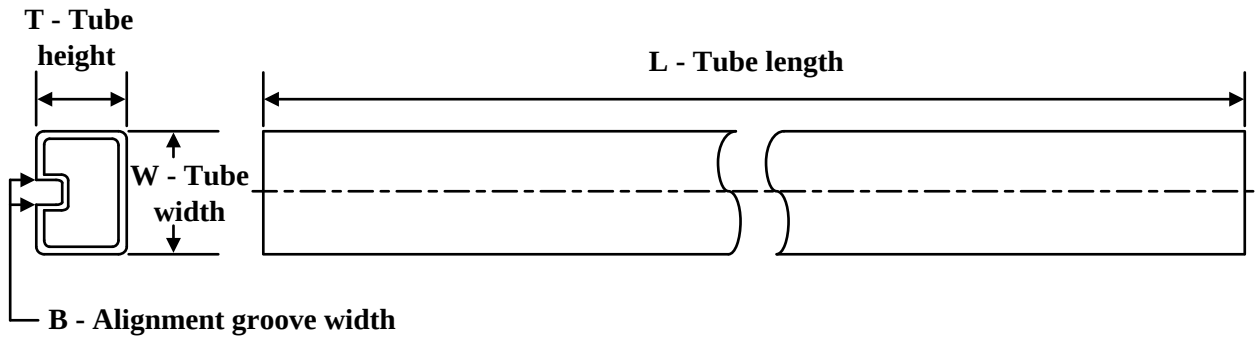
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC74BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHC74DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74AHC74DGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74AHC74DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74AHC74DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74AHC74DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHC74NSR	SO	NS	14	2000	356.0	356.0	35.0
SN74AHC74PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHC74RGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

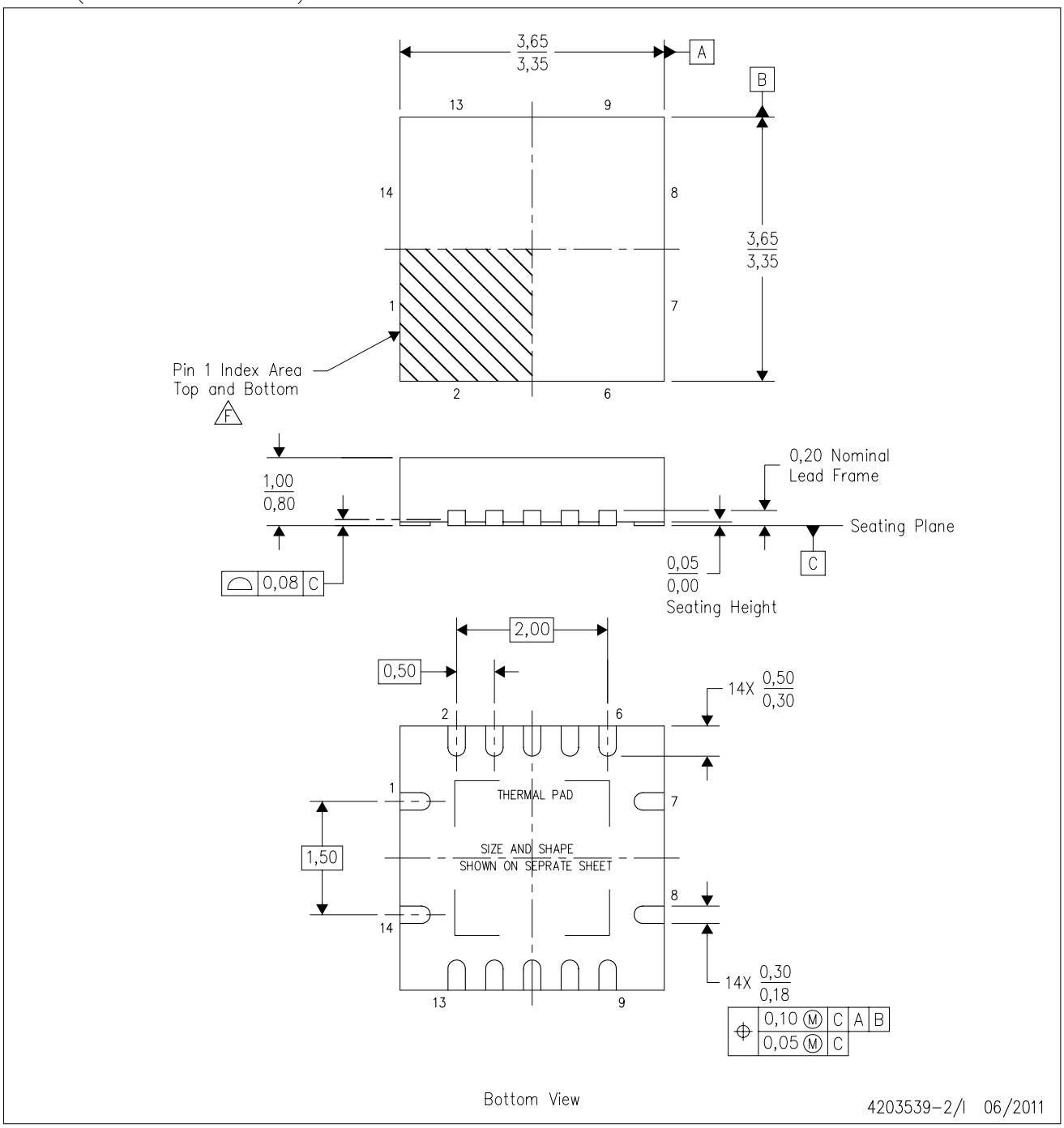
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9686001Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686001QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHC74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC74N	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHC74FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC74W	W	CFP	14	25	506.98	26.16	6220	NA

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
G. Package complies to JEDEC MO–241 variation BA.

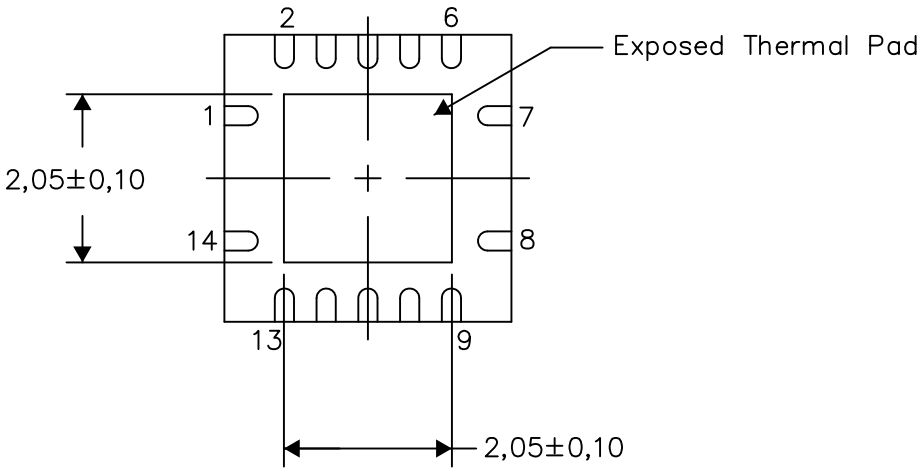
RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



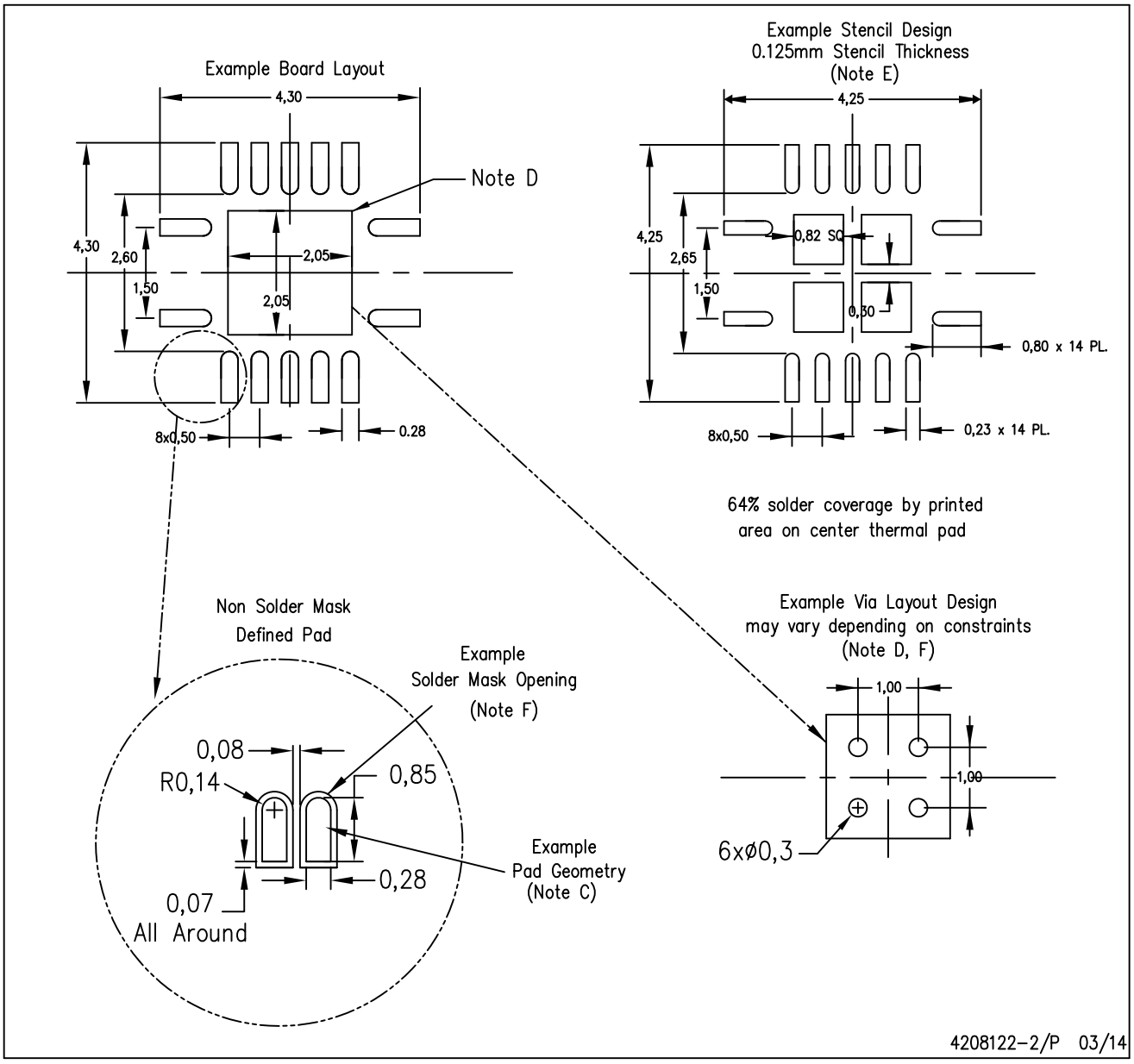
Bottom View

Exposed Thermal Pad Dimensions

4206353–2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http: //www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

GENERIC PACKAGE VIEW

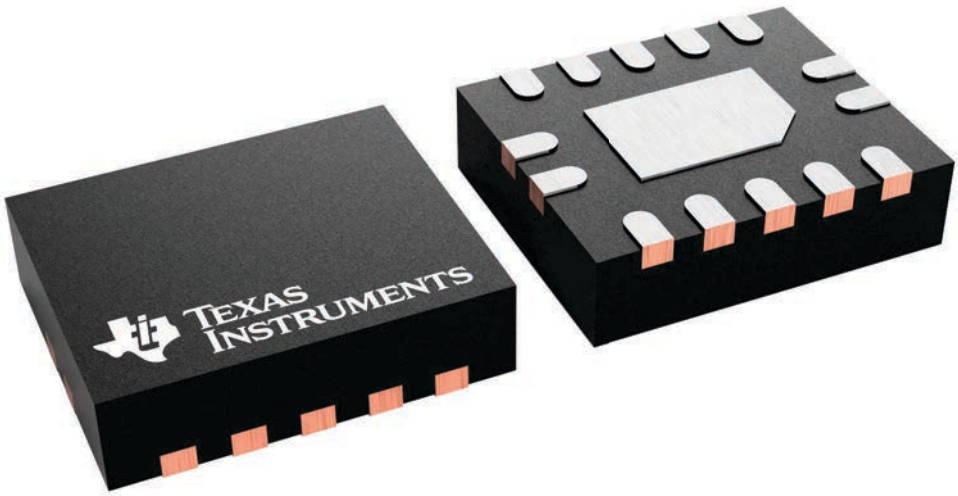
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



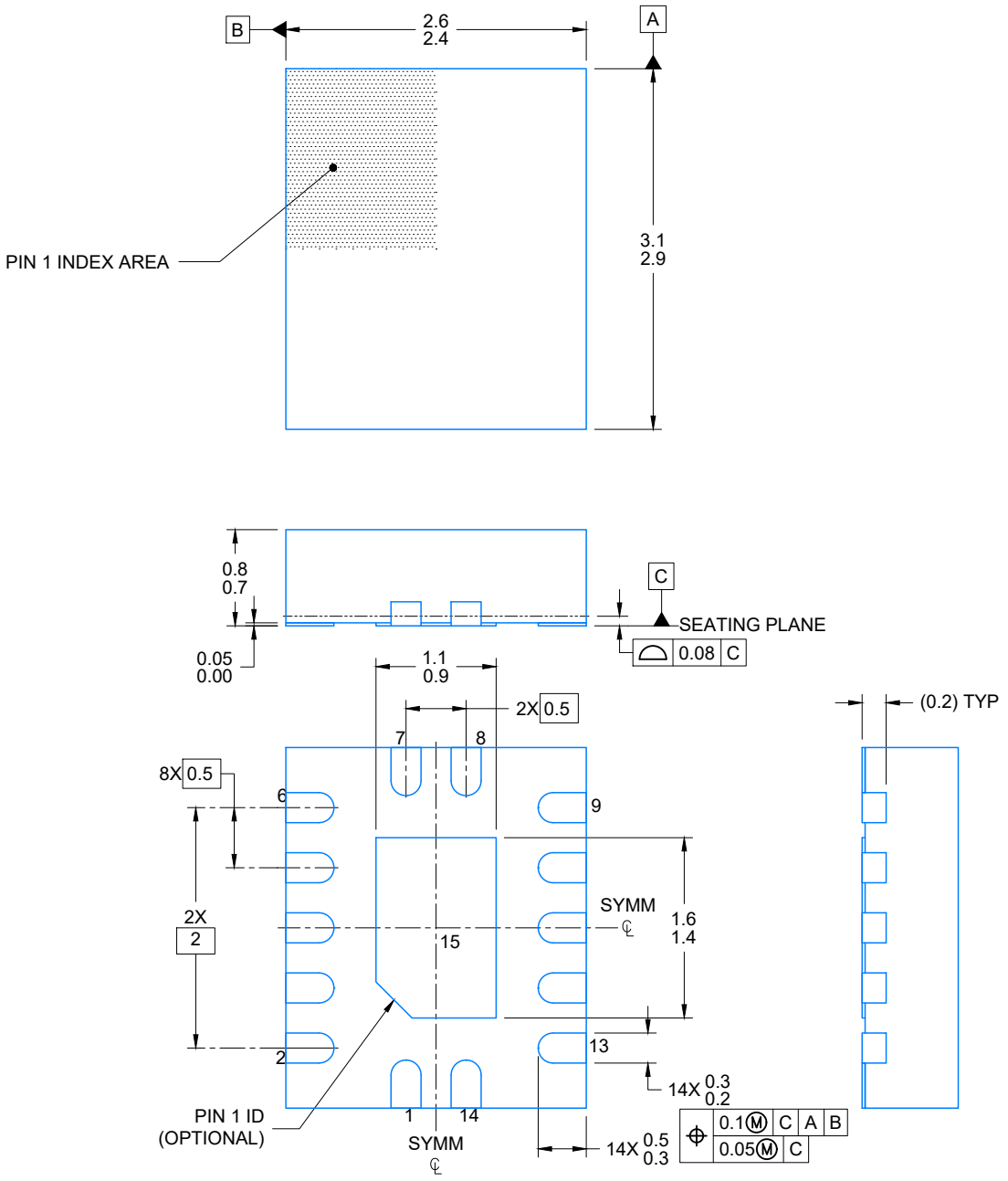
4227145/A

PACKAGE OUTLINE

BQA0014A

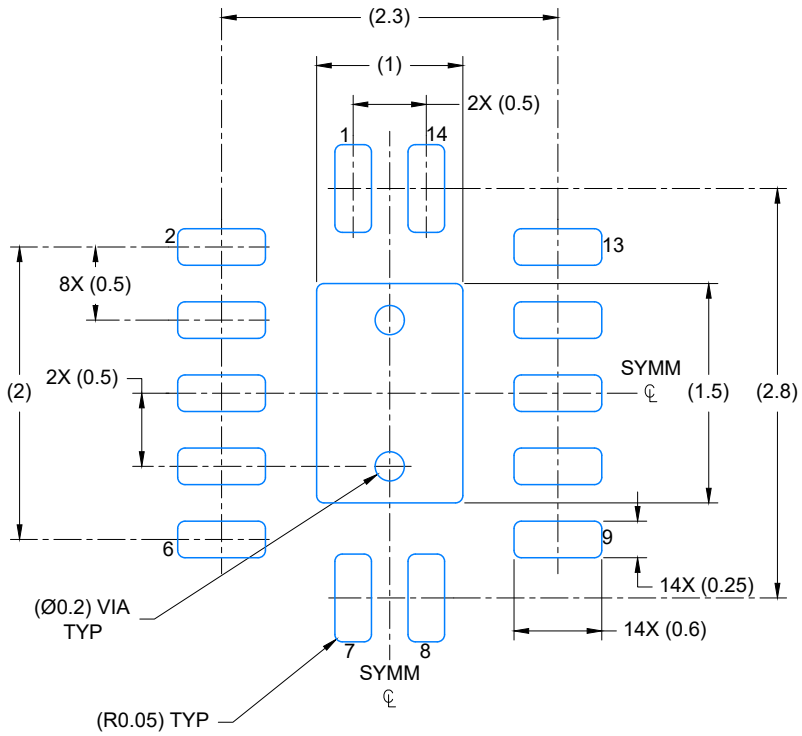
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

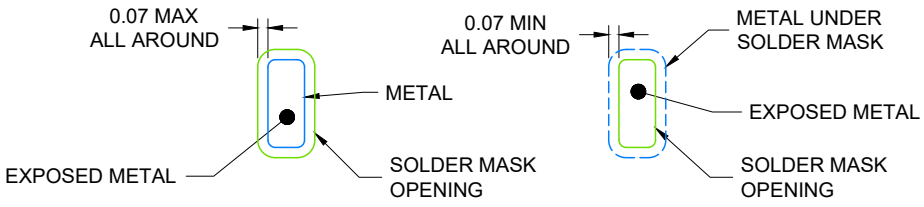


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



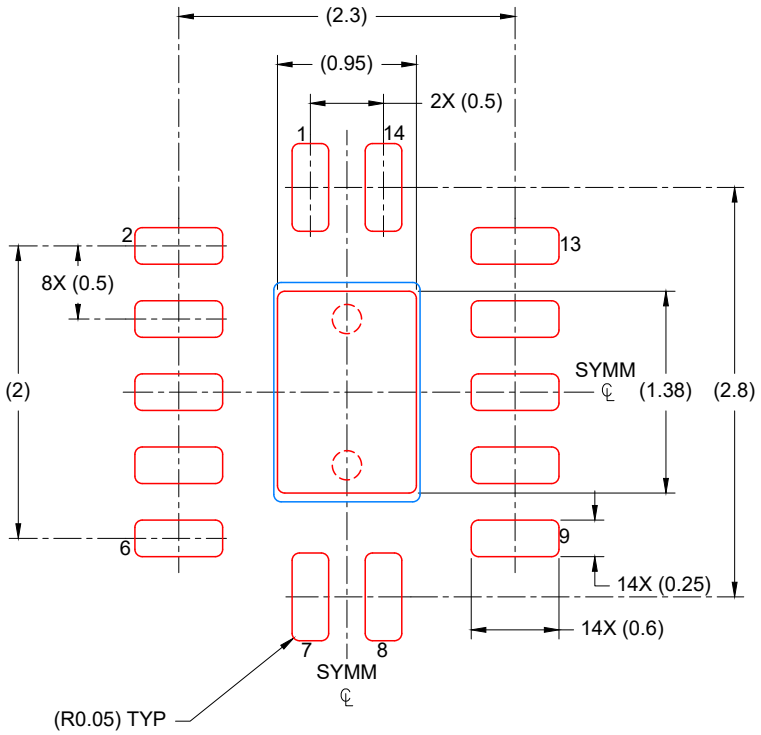
NON-SOLDER MASK
DEFINED
(PREFERRED)

SOLDER MASK
DEFINED

4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

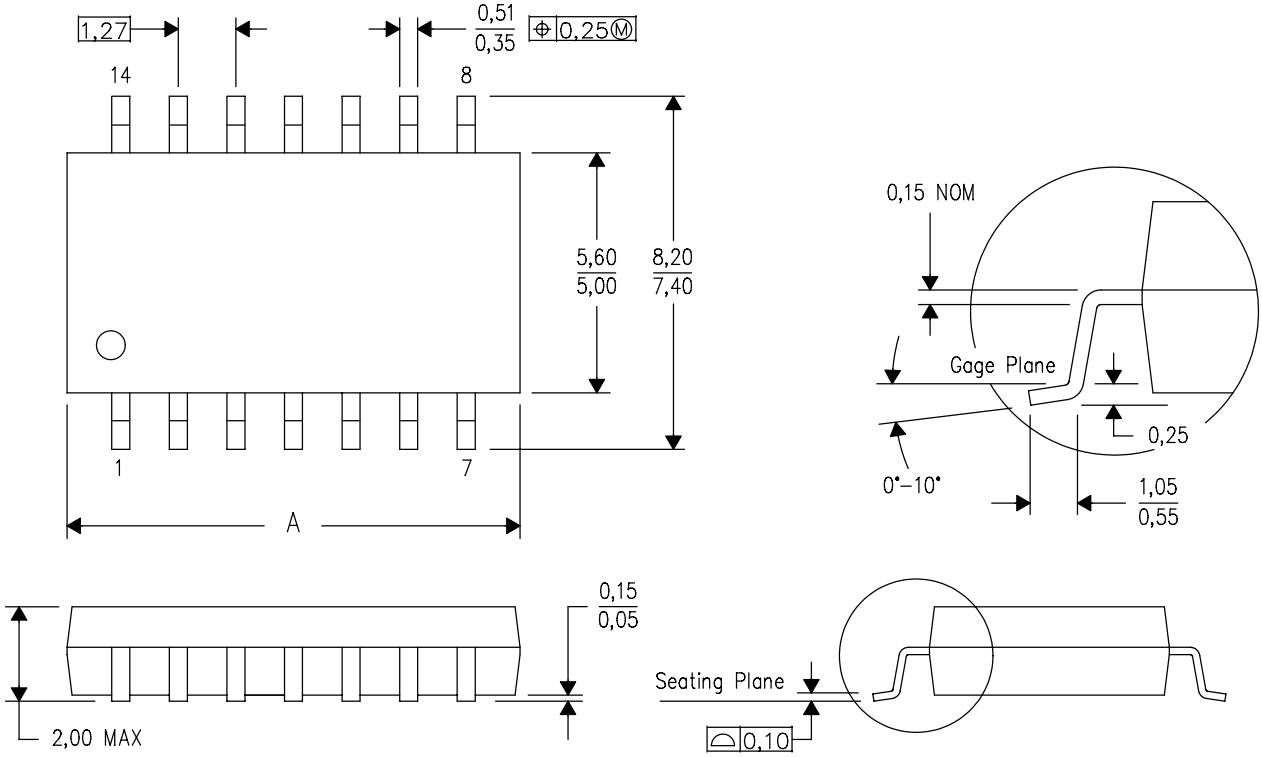
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

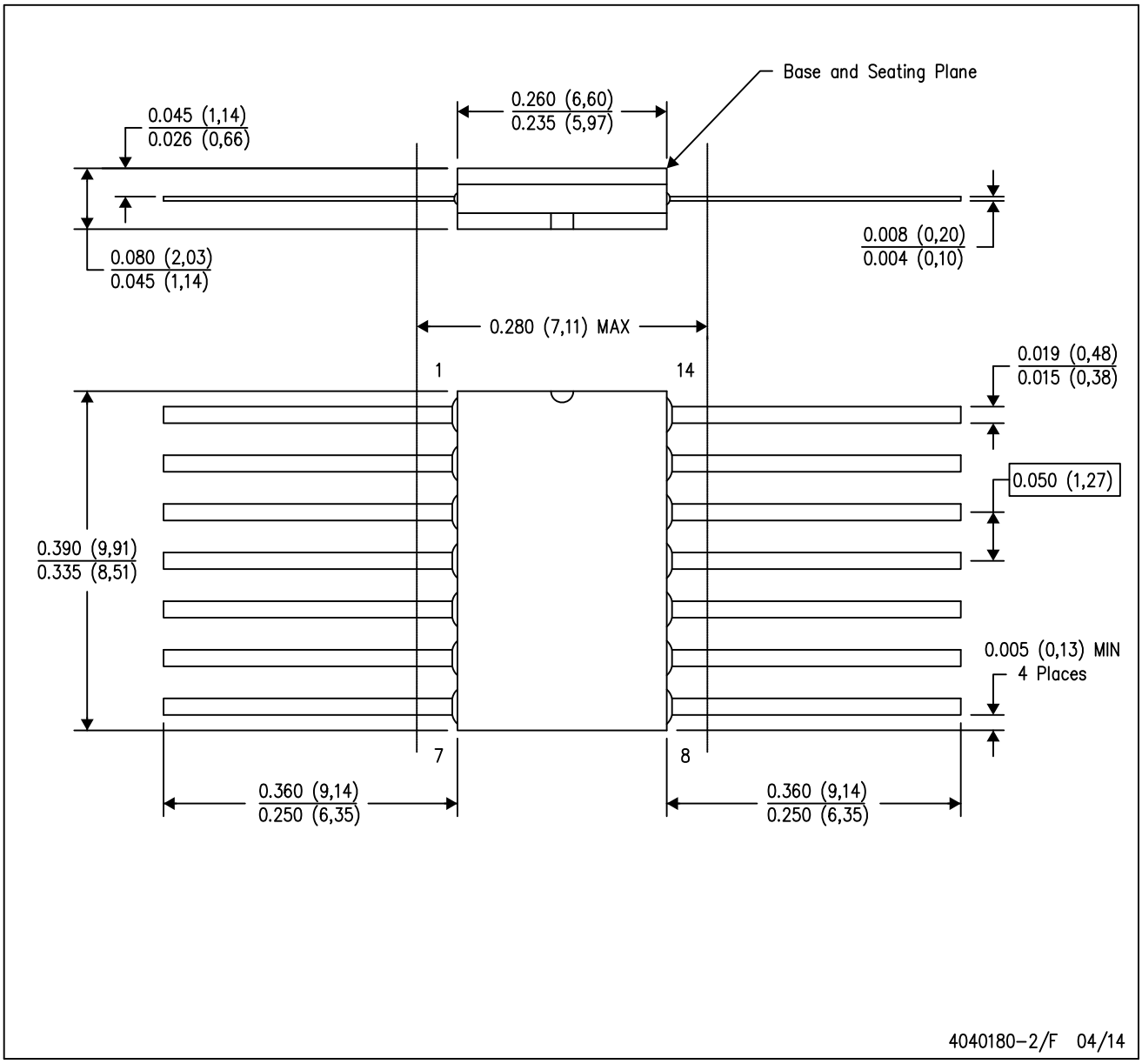


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

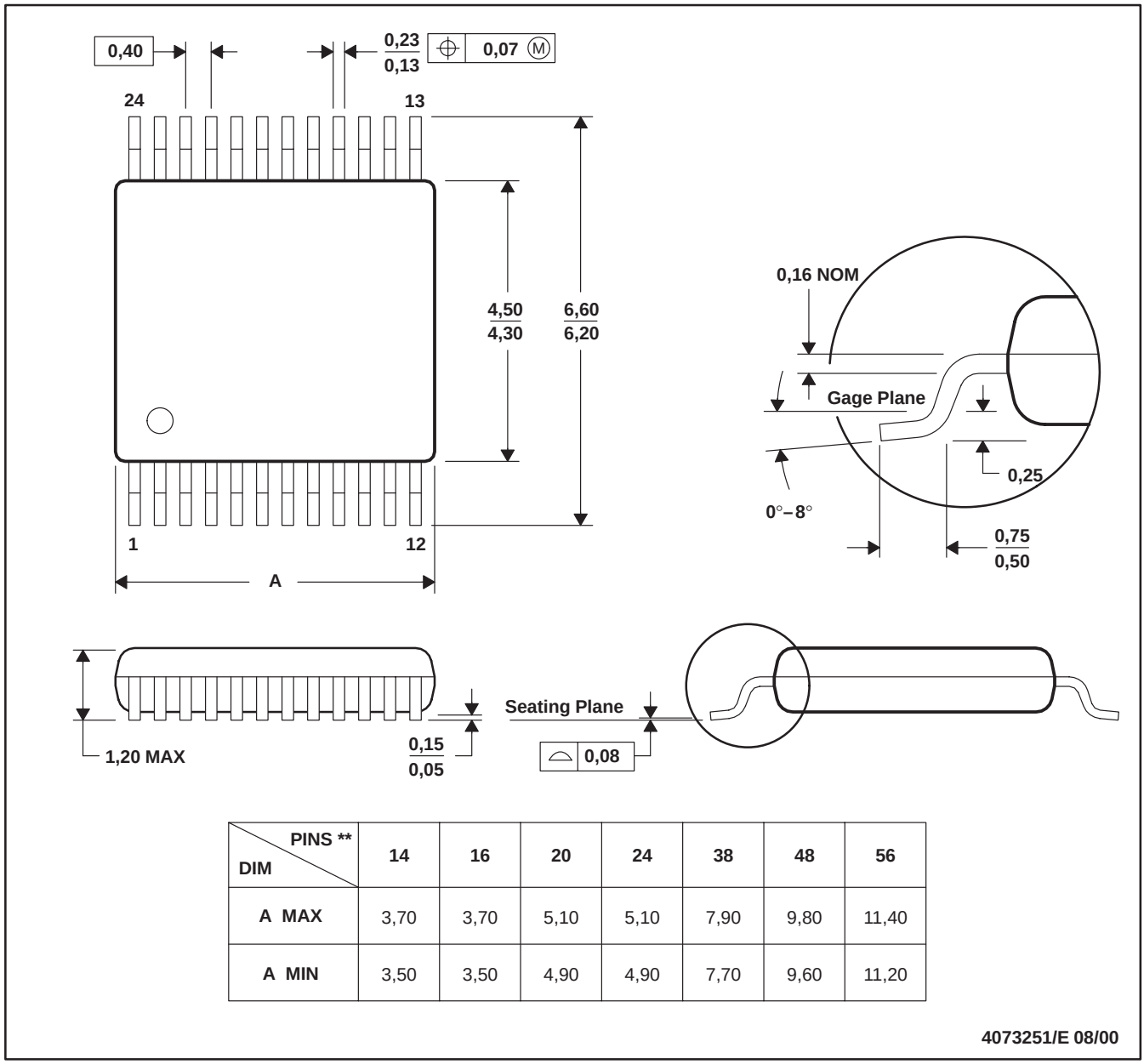
W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

GENERIC PACKAGE VIEW

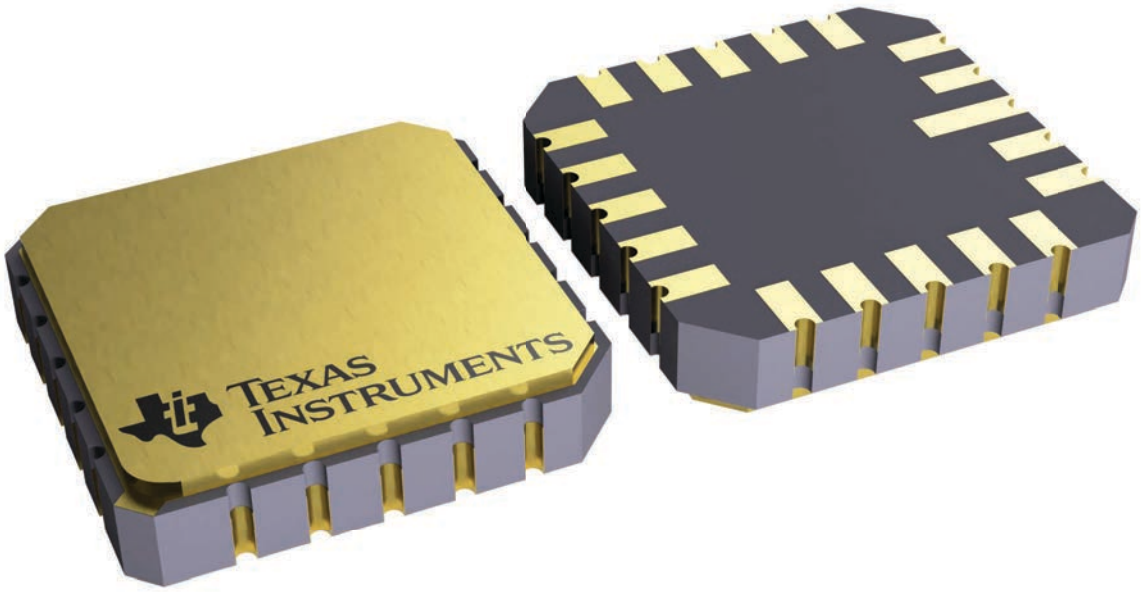
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

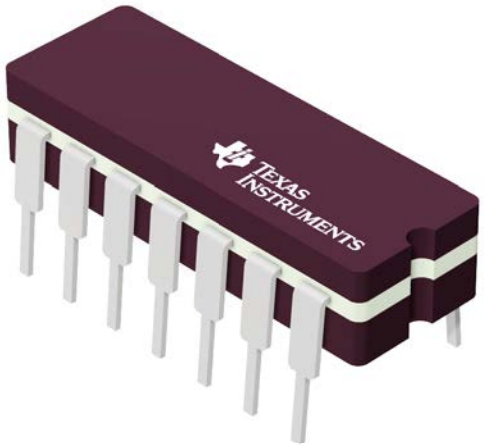


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

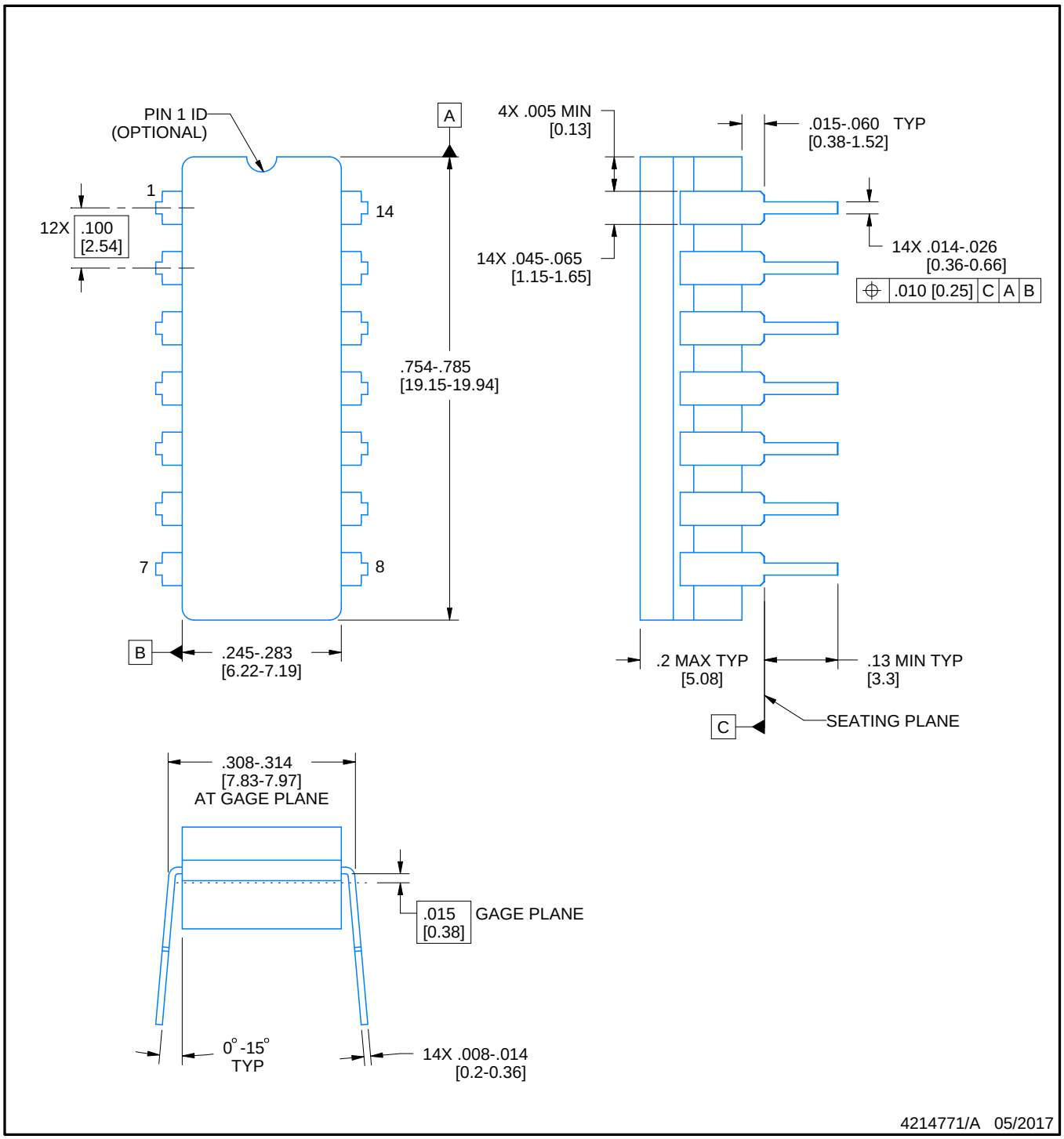
4040083-5/G

PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

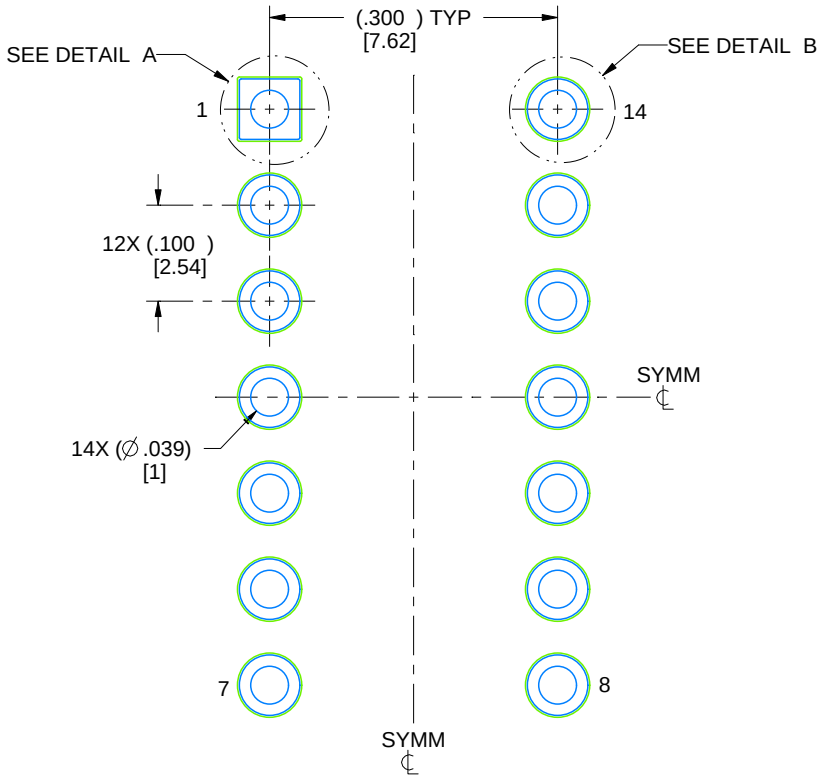
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

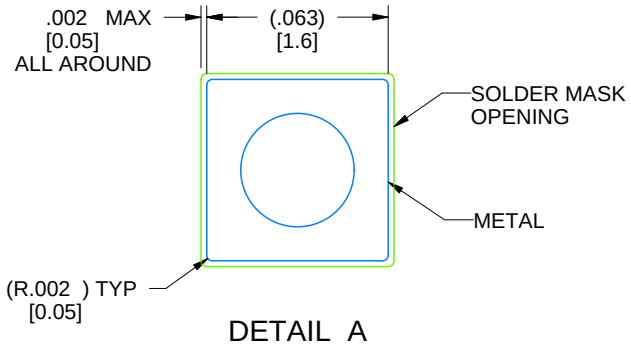
J0014A

CDIP - 5.08 mm max height

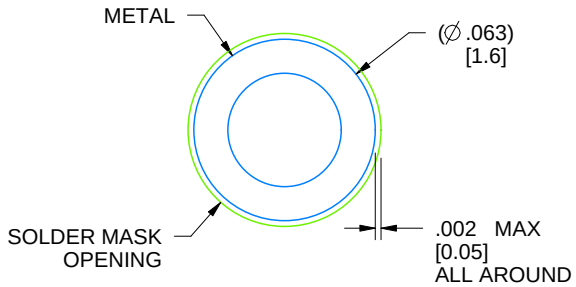
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



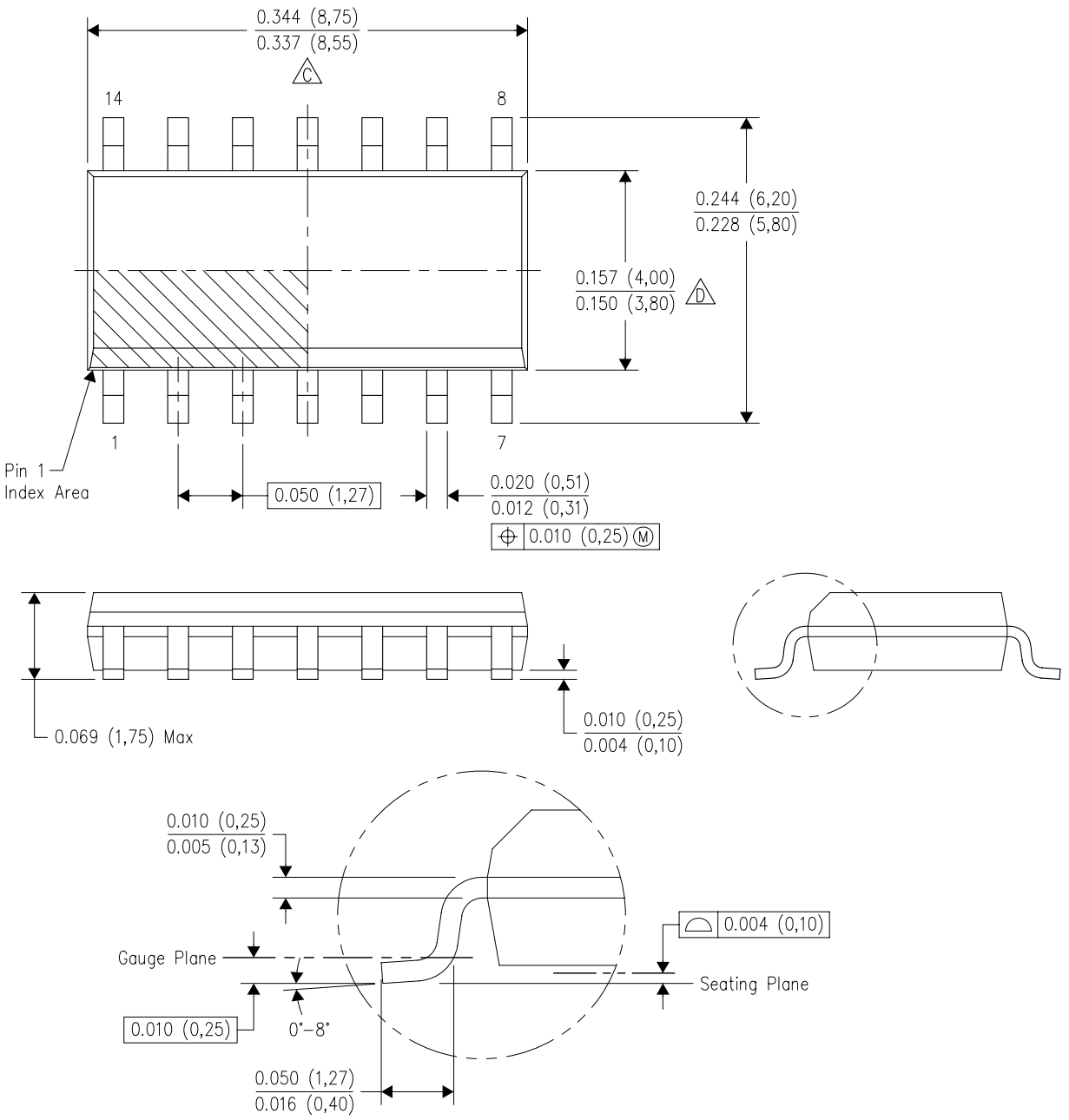
DETAIL A
SCALE: 15X



DETAIL B
13X, SCALE: 15X

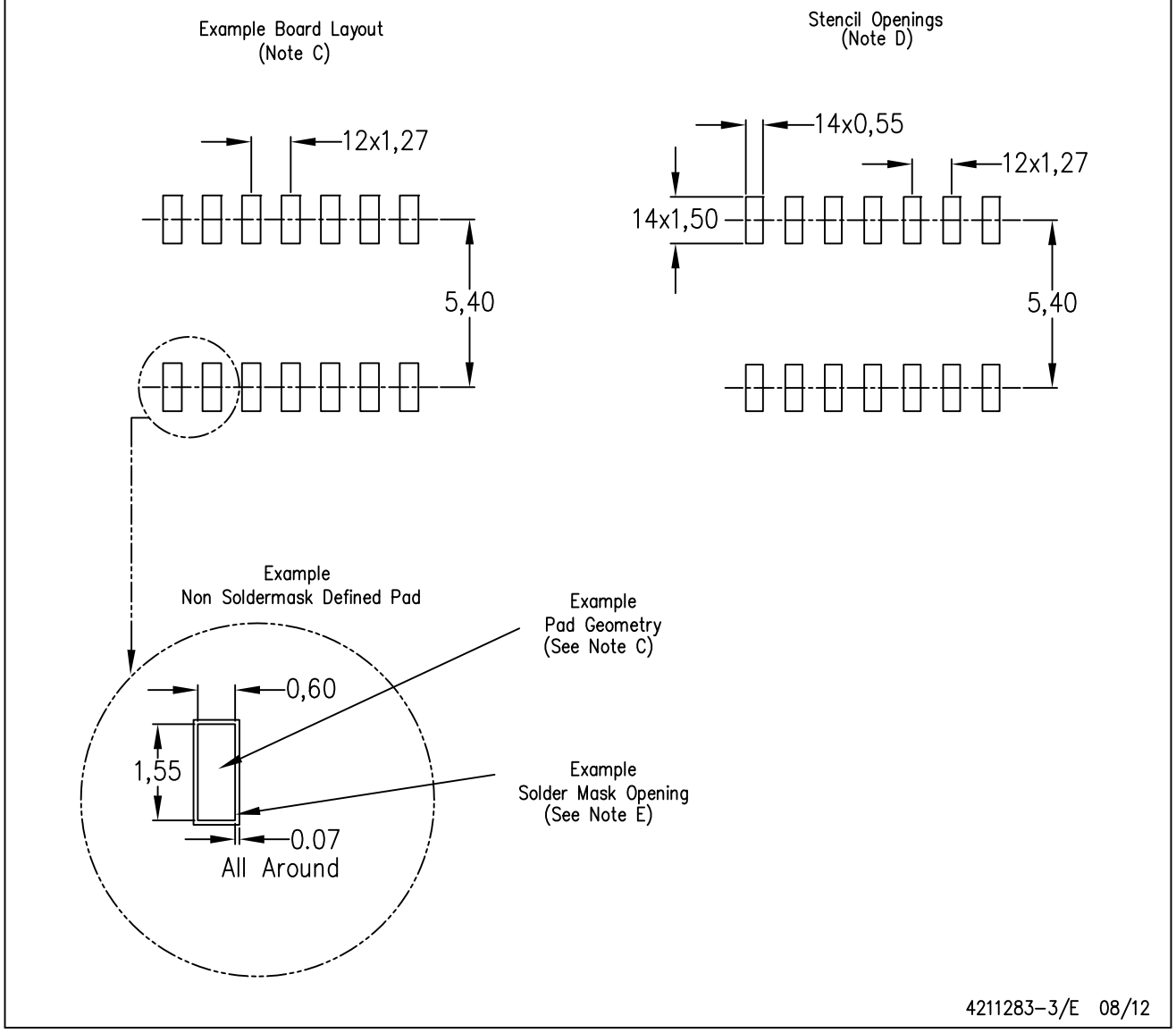
4214771/A 05/2017

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



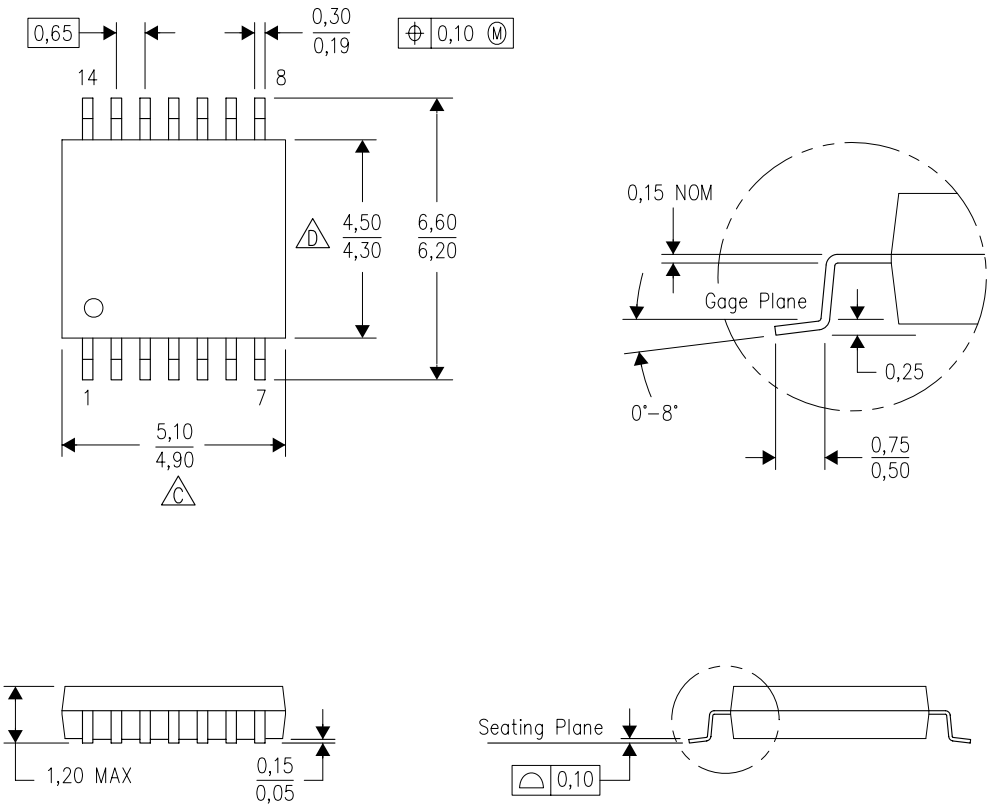
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



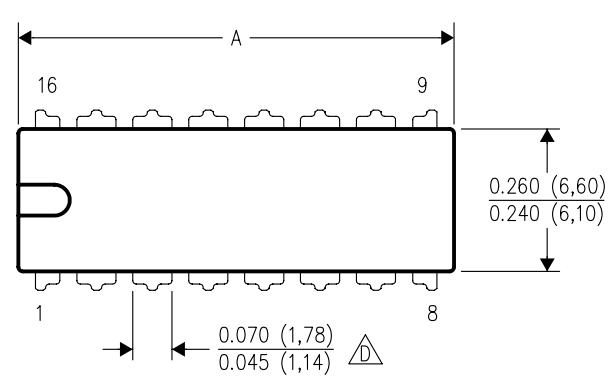
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

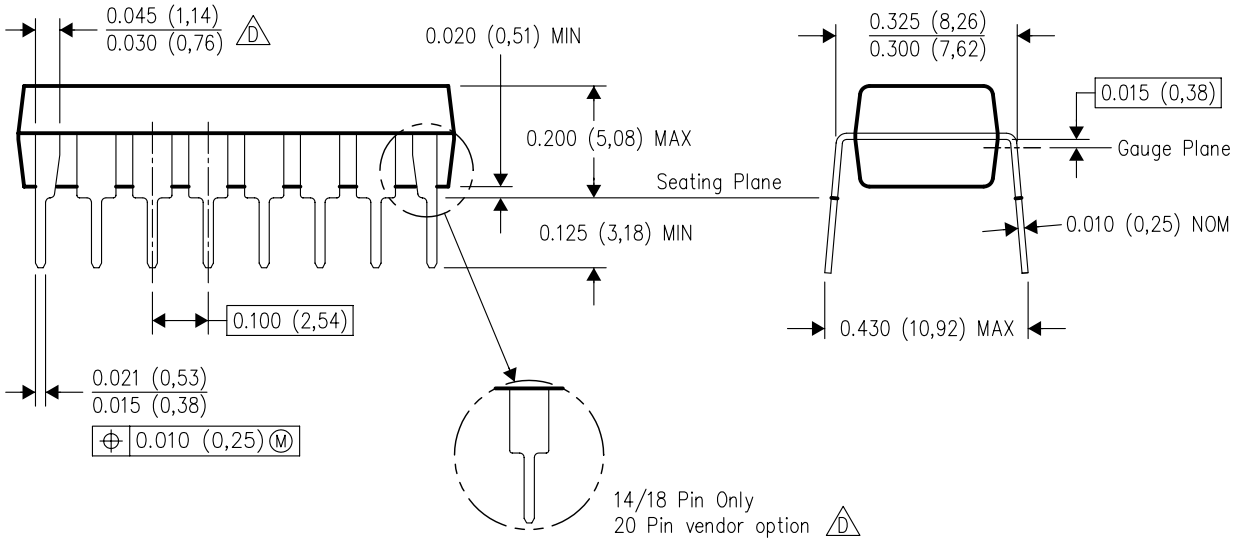
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



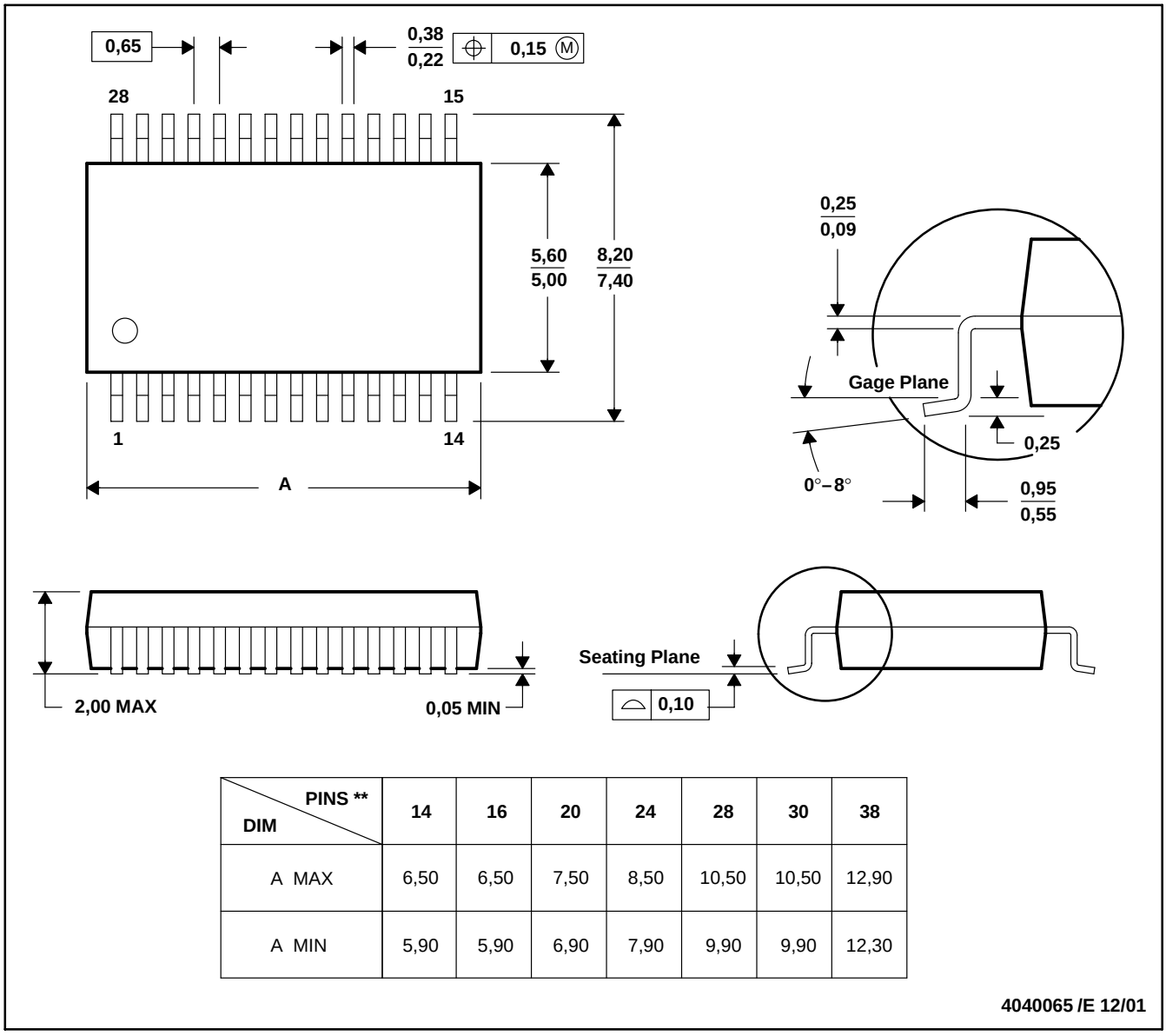
4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

MSSO002E – JANUARY 1995 – REVISED DECEMBER 2001

DB (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

28 PINS SHOWN



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-150

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated