

LMX2531

LMX2531 High Performance Frequency Synthesizer System with Integrated VCO



Literature Number: JAJSA72



LMX2531

VCO 内蔵 高性能周波数シンセサイザ・システム

概要

LMX2531 は、低消費電力の高性能周波数シンセサイザ・システムで、デルタ-シグマ PLL やタンク回路内蔵の VCO などがすべて集積化されています。3 次、4 次ポールも備えており、調整が可能です。また、PLL と VCO 用の超低ノイズ、高精度 LDO を搭載しており、電源ノイズ耐性が向上して、より安定した性能が得られます。LMX2531 を高品質の基準発振器と組み合わせれば、無線通信機器におけるアップ・コンバージョンやダウン・コンバージョンのための非常に安定した低ノイズのローカル・オシレータ信号を発生できます。LMX2531 は、先進の BiCMOS プロセスによって製造されたモノリシックの集積回路です。種々の周波数帯域に対応するために、この製品にはいくつかのバージョンがあります。

本デバイスは最低 1.8V まで動作可能な 3 線式の MICROWIRE インタフェースによって容易にプログラムできます。

電源電圧範囲は 2.8V ~ 3.2V です。LMX2531 は、鉛フリーの 36 ピン、6 × 6 × 0.8mm、リードレス・リードフレーム・パッケージ (LLP) に収めて供給されます。

対象アプリケーション

第 3 世代携帯電話の基地局 (WCDMA、TD-SCDMA、CDMA2000)

第 2 世代携帯電話の基地局 (GSM/GPRS、EDGE、CDMA1xRTT)

無線 LAN

広帯域無線アクセス

衛星通信

無線通信機

車載用

CATV 機器

計測およびテスト機器

RFID リーダ

特長

各種周波数バージョンを用意

下記のセレクション・ガイドをご覧ください。

周波数範囲：765MHz ~ 2790MHz

PLL 機能

最高 4 次までプログラム可能なフラクショナル -N デルタ・シグマ変調器

タイムアウト・カウンタによる FastLock 機能とサイクル・スリップの低減

調整可能なループ・フィルタを一部内蔵

非常に低い位相ノイズとスプリアス

VCO 機能

タンク用インダクタ内蔵

低位相ノイズ

その他の特長

2.8V ~ 3.2V 動作

パワーダウン時の低電流

1.8V MICROWIRE 対応

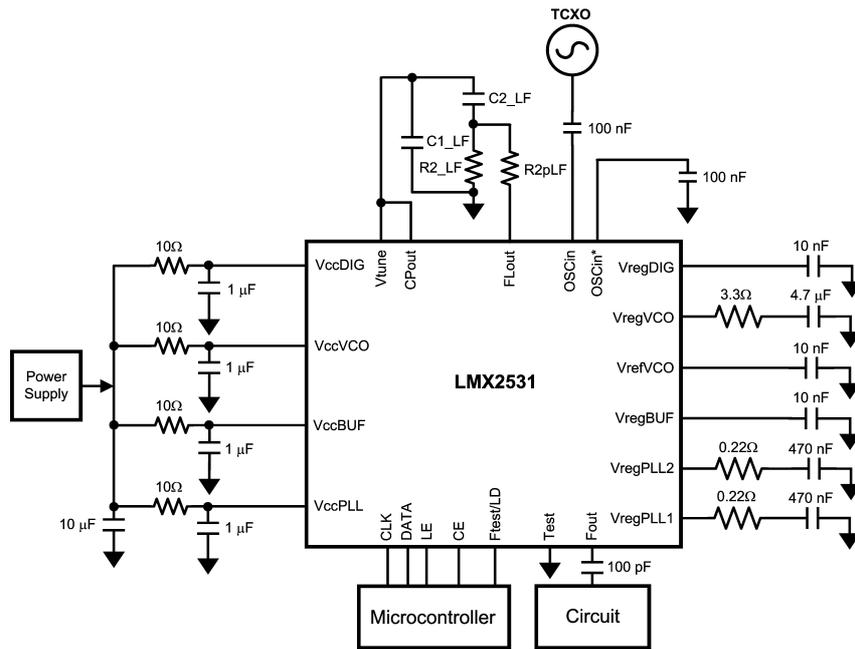
パッケージ：36 ピン LLP

Part	Low Band	High Band
LMX2531LQ1570E	765 - 818 MHz	1530 - 1636 MHz
LMX2531LQ1650E	795 - 850 MHz	1590 - 1700 MHz
LMX2531LQ1700E	831 - 885 MHz	1662 - 1770 MHz
LMX2531LQ1742	880 - 933 MHz	1760 - 1866 MHz
LMX2531LQ1778E	863 - 920 MHz	1726 - 1840 MHz
LMX2531LQ1910E	917 - 1014 MHz	1834 - 2028 MHz
LMX2531LQ2080E	952 - 1137 MHz	1904 - 2274 MHz
LMX2531LQ2265E	1089 - 1200 MHz	2178 - 2400 MHz
LMX2531LQ2570E	1168 - 1395 MHz	2336 - 2790 MHz

ピン説明

ピン番号	ピン名	I/O	説明
1	VccDIG	-	デジタル LDO 回路用電源。2.8V ~ 3.2V を印加できます。このピンとグラウンドのできる限り近くにバイパス・コンデンサを配置してください。
3	GND	-	グラウンド
2,4,5,7,12,13,29,35	NC	-	未接続
6	VregBUF	-	VCO バッファ回路用の内部レギュレートされた電圧です。コンデンサによってグラウンドと接続します。
8	DATA	I	MICROWIRE のシリアル・データ入力。ハイ・インピーダンスの CMOS 入力。このピンの電圧は 2.75V を超えないようにしてください。DATA は MSB から先にクロック入力されます。最後にクロック入力するビットが制御またはレジスタ選択ビットになります。
9	CLK	I	MICROWIRE のクロック入力。ハイ・インピーダンスの CMOS 入力です。このピンの電圧は 2.75V を超えないようにしてください。このクロックの立ち上がりエッジでデータがシフト・レジスタに入力されます。
10	LE	I	MICROWIRE のラッチ・イネーブル入力。ハイ・インピーダンスの CMOS 入力です。このピンの電圧は 2.75V を超えないようにしてください。シフト・レジスタに格納されたデータは、LE が High に遷移した時点で、選択したラッチ・レジスタにロードされます。
11	CE	I	チップ・イネーブル入力。ハイ・インピーダンスの CMOS 入力です。このピンの電圧は 2.75V を超えないようにしてください。CE を High にすると、LMX2531 は内部の電源制御ビットに応じて起動されます。デバイスを再度ロックするには、R0 レジスタを再プログラムする必要があります。
14,15	NC	-	未接続。グラウンドには接続しないでください。
16	VccVCO	-	VCO レギュレータ回路用電源。2.8V ~ 3.2V を印加できます。このピンとグラウンドのできる限り近くにバイパス・コンデンサを配置してください。
17	VregVCO	-	VCO 回路用の内部でレギュレートされた電圧。外部負荷の駆動用ではありません。コンデンサとある値の直列抵抗でグラウンドと接続します。
18	VrefVCO	-	VCO LDO 用の内部基準電圧。外部負荷の駆動用ではありません。コンデンサによってグラウンドと接続します。
19	GND	-	VCO 回路用のグラウンド。
20	GND	-	VCO 出力バッファ回路用のグラウンド。
21	Fout	O	VCO 用のバッファされた RF 出力。
22	VccBUF	-	VCO バッファ回路用電源。2.8V ~ 3.2V を印加できます。このピンとグラウンドのできる限り近くにバイパス・コンデンサを配置してください。
23	Vtune	I	VCO 調整用の入力電圧。外部のパス・ループ・フィルタを介して CPout ピンと接続します。
24	CPout	O	PLL 用のチャージ・ポンプ出力。外部のパス・ループ・フィルタを介して Vtune ピンと接続します。
25	FLout	O	FastLock あるいは他の汎用出力に使用するオープン・ドレインの NMOS 出力。
26	VregPLL1	-	PLL チャージ・ポンプ用の内部でレギュレートされた電圧。外部負荷の駆動用ではありません。コンデンサによってグラウンドと接続します。
27	VccPLL	-	PLL 用の電源。2.8V ~ 3.2V を印加できます。このピンとグラウンドのできる限り近くにバイパス・コンデンサを配置してください。
28	VregPLL2	-	RF デジタル回路用の内部でレギュレートされた電圧。外部負荷の駆動用ではありません。コンデンサによってグラウンドと接続します。
30	Ftest/LD	O	CMOS レベルのマルチプレクス出力。通常、PLL のロック状態をモニタするために使用します。
31	OSCin	I	発振器の入力。
32	OSCin*	I	発振器の相補入力。シングル・エンドの信号源を使用する場合は、このピンのできるだけ近くにバイパス・コンデンサを配置し、グラウンドに接続します。
33	Test	O	このピンはテスト用です。通常動作時はグラウンドに接続してください。
34	GND	-	グラウンド
36	VregDIG	-	LDO デジタル回路用の内部でレギュレートされた電圧です。

ブロック図



ピン名	アプリケーション情報
VccDIG VccVCO VccBUF VccPLL	LMX2531 は内部にレギュレータを備えているため、優れた電源ノイズ除去特性を持っています。このため、これらのピンへのコンデンサ接続は必須ではありません。さらにノイズ除去特性を改善するために、必要に応じてこれらのピンにコンデンサを接続できます。推奨値は、開放 ~ 1µF です。
VregDIG	推奨値以外の値を使用する特別な理由はありません。
VrefVCO	VregVCO のコンデンサを変更する場合は、このコンデンサの値を VregVCO コンデンサの 1/100 ~ 1/1000 とすることを推奨します。
VregVCO	このピンはレギュレータ出力であるため、十分な大きさの直列抵抗を接続しないと安定性に問題が生じるおそれがあります。セラミック・コンデンサは ESR (等価直列抵抗) が小さすぎるため、1 ~ 3.3 の直列抵抗を使用することが必要です。ESR が十分に大きくないと、特に 100 ~ 300kHz オフセット領域での位相ノイズ特性が劣化する場合があります。推奨値は、1µF ~ 10µF です。
VregPLL1 VregPLL2	このピンに接続するコンデンサの選定は、整数スプリアスと 100 ~ 300kHz オフセット領域の位相ノイズの間のトレードオフになります。このピンに接続する直列抵抗を大きくしすぎると、オフセットの大きな領域でのスプリアスが著しく劣化します。一方、直列抵抗が小さすぎると位相ノイズ特性が劣化するおそれがあります。220m の抵抗と、これに直列に接続された 470nF のコンデンサを用いると、位相ノイズの劣化を最小限に保ちつつ、最適のスプリアスが得られます。ただし、これらの最適値は設計ごとに変わる可能性があります。
CLK DATA LE	これらのピンの最大電圧は VCC 電圧の最小値より小さいため、マイクロコントローラの出力電圧が大きい場合はレベル・シフトが必要になります。レベル・シフトは抵抗分割回路によって実現できます。
CE	CLK、DATA、LE ピンなどと同様に、マイクロコントローラの出力電圧が高すぎる場合、この CE ピンには、レベル・シフトが必要です。レベル・シフトを実現するには、抵抗分割回路と直列ダイオードの 2 通りの方法があります。ダイオードには、チップがパワー・ダウンしているときに電流が流れないという利点があります。
Ftest/LD	必要に応じて、このピンからロック検出情報を得られます。
Fout	このピンは高周波出力です。AC 結合する必要があり、マッチングも必要になる場合があります。出力周波数によっては DC 遮断コンデンサの値を変える可能性があります。
CPout Vtune	ほとんどの場合、これらのピンは互いに短絡させるだけで十分です。4 次のループ・フィルタを構成するには、内部のループ・フィルタと組み合わせると C1_LF、C2_LF、R2_LF を使用します。ただし、ユーザーはさらに別のポールを追加できます。
R2pLF	種々の状況で役立つ FastLock 抵抗です。スプリアスはチャージ・ポンプ電流が小さいときに改善される場合が多く、FastLock 中に内部のループ・フィルタを調整できるためです。
OSCin	水晶発振器の入力ピン。AC 結合する必要があります。
OSCin*	デバイスをシングル・エンドで駆動する場合は、このピンをコンデンサによってグラウンドに接続する必要があります。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

Parameter	Symbol	Ratings	Units
Power Supply Voltage	V_{CC} (V_{CCDIG} , V_{CCVCO} , V_{CCBUF} , V_{CCPLL})	-0.3 to 3.5	V
	All other pins (Except Ground)	-0.3 to 3.0	
Storage Temperature Range	T_{STG}	-65 to 150	°C
Lead Temperature (solder 4 sec.)	T_L	+ 260	°C

推奨動作条件

Parameter	Symbol	Min	Typ	Max	Units
Power Supply Voltage (V_{CCDIG} , V_{CCVCO} , V_{CCBUF})	V_{CC}	2.8	3.0	3.2	V
Serial Interface and Power Control Voltage	V_i	0		2.75	V
Ambient Temperature (Note 3)	T_A	-40		+85	°C

Note 1: 絶対最大定格とはデバイスを損傷する可能性があるリミット値をいいます。推奨動作条件とは、デバイスが正常に機能する条件をいいますが、特定の性能限界値を保証するものではありません。保証される仕様値とそのテスト条件については「電気的特性」を参照してください。仕様の保証は、表記のテスト条件にのみ適用されます。

電氣的特性 (特に指定のない限り、 $V_{CC} = 3.0V$ 、 -40 T_A 85)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
Current Consumption						
I_{CC}	Power Supply Current (All Parts Except LMX2531LQ2265E, LMX2531LQ2570E)	Divider Disabled		34	41	mA
		Divider Enabled		37	46	
	Power Supply Current (LMX2351LQ2265E, LMX2531LQ2570E)	Divider Disabled		38	44	
		Divider Enabled		41	49	
I_{CCPD}	Power Down Current	CE = 0 V, Part Initialized		7		μA
Oscillator						
I_{IHOSC}	Oscillator Input High Current	$V_{IH} = 2.75 V$			100	μA
I_{ILOSC}	Oscillator Input Low Current	$V_{IL} = 0$	-100			μA
f_{OSCin}	Frequency Range		5		80	MHz
V_{OSCin}	Oscillator Sensitivity		0.5		2.0	Vpp
PLL						
f_{COMP}	Phase Detector Frequency				32	MHz
I_{CPout}	Charge Pump Output Current Magnitude	ICP = 0		90		μA
		ICP = 1		180		μA
		ICP = 3		360		μA
		ICP = 15		1440		μA
$I_{CPoutTRI}$	CP TRI-STATE Current	$0.4 V < V_{CPout} < 2.0 V$		2	10	nA
$I_{CPoutMM}$	Charge Pump Sink vs. Source Mismatch	$V_{CPout} = 1.2 V$ $T_A = 25^\circ C$		2	8	%
I_{CPoutV}	Charge Pump Current vs. CP Voltage Variation	$0.4 V < V_{CPout} < 2.0 V$ $T_A = 25^\circ C$		4		%
I_{CPoutT}	CP Current vs. Temperature Variation	$V_{CPout} = 1.2 V$		8		%
LN(f)	Normalized Phase Noise Contribution (Note 2)	ICP = 1X Charge Pump Gain 4 kHz Offset		-202		dBc/Hz
		ICP = 16X Charge Pump Gain 4 kHz Offset		-212		
VCO Frequencies						
f_{Fout}	Operating Frequency Range (All options have a frequency divider, this applies before the divider. The frequency after the divider is half of what is shown)	LMX2531LQ1570E	1530		1636	MHz
		LMX2531LQ1650E	1590		1700	
		LMX2531LQ1700E	1662		1770	
		LMX2531LQ1742	1760		1866	
		LMX2531LQ1778E	1726		1840	
		LMX2531LQ1910E	1834		2028	
		LMX2531LQ2080E	1904		2274	
		LMX2531LQ2265E	2178		2400	
LMX2531LQ2570E	2336		2790			

電気的特性 (特に指定のない限り、 $V_{CC} = 3.0V$ 、 $-40 \leq T_A \leq 85$) (つづき)

Symbol	Parameter	Conditions	Min	Typ	Max	Units		
Other VCO Specifications								
ΔT_{CL}	Maximum Allowable Temperature Drift for Continuous Lock (Note 3)	LMX2531LQ1742	65			°C		
		LMX2531LQ1570E, LMX2531LQ1650E	90					
		LMX2531LQ1700E, LMX2531LQ1778E, LMX2531LQ1910E, LMX2531LQ2080E, LMX2531LQ2265E, LMX2531LQ2570E	125					
P_{Fout}	Output Power to a 50 Ω /5pF Load (Applies across entire tuning range.)	LMX2531LQ1570E	Divider Disabled	2.0	4.5	8.0	dBm	
		LMX2531LQ1650E		2.0	4.5	8.0		
		LMX2531LQ1700E		1.0	3.5	7.0		
		LMX2531LQ1742		1.0	3.5	7.0		
		LMX2531LQ1778E		1.0	3.5	7.0		
		LMX2531LQ1910E		1.0	3.5	7.0		
		LMX2531LQ2080E		1.0	3.5	7.0		
		LMX2531LQ2265E		1.0	3.5	7.0		
		LMX2531LQ2570E	0.0	3.0	6.0			
		LMX2531LQ1570E	Divider Enabled	1.0	3.0	6.0	dBm	
		LMX2531LQ1650E		1.0	3.0	6.0		
		LMX2531LQ1700E		1.0	3.0	6.0		
		LMX2531LQ1742		1.0	3.0	6.0		
		LMX2531LQ1778E		1.0	3.0	6.0		
		LMX2531LQ1910E		1.0	3.0	6.0		
		LMX2531LQ2080E		0.0	2.5	5.0		
		LMX2531LQ2265E		0.0	2.5	5.0		
		LMX2531LQ2570E	-1.0	1.5	4.0			
K_{Vtune}	Fine Tuning Sensitivity - (When a range is displayed in the typical column, indicates the lower sensitivity is typical at the lower end of the tuning range, and the higher tuning sensitivity is typical at the higher end of the tuning range.)	LMX2531LQ1570E		4-7		MHz/V		
		LMX2531LQ1650E		4-7				
		LMX2531LQ1700E		6-10				
		LMX2531LQ1742		4-7				
		LMX2531LQ1778E		6-10				
		LMX2531LQ1910E		8-14				
		LMX2531LQ2080E		9-20				
		LMX2531LQ2265E		10-16				
	LMX2531LQ2570E		10-23					
HS_{Fout}	Harmonic Suppression (Applies Across Entire Tuning Range)	2nd Harmonic, 50 Ω / 5pF Load	Divider Disabled		-30	-25	dBc	
			Divider Enabled		-20	-15		
		3rd Harmonic, 50 Ω / 5pF Load	Divider Disabled		-40	-35		
			Divider Enabled	LMX2531LQ1570E LMX2531LQ1650E		-20		-15
			Divider Enabled	All Other Options		-25		-20
$PUSH_{Fout}$	Frequency Pushing	$C_{reg} = 0.1\mu F$, $V_{DD} \pm 100mV$, Open Loop		300		kHz/V		
$PULL_{Fout}$	Frequency Pulling	VSWR=2:1, Open Loop			± 600	kHz		
Z_{Fout}	Output Impedance			50		Ω		

電気的特性 (特に指定のない限り、 $V_{CC} = 3.0V$ 、 $-40 \leq T_A \leq 85$) (つづき)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
VCO Phase Noise (Note 4)							
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1570E)	$f_{Fout} = 1583 \text{ MHz}$ DIV2 = 0	10 kHz Offset		-93		
			100 kHz Offset		-118		
			1 MHz Offset		-140		
			5 MHz Offset		-154		
		$f_{Fout} = 791.5 \text{ MHz}$ DIV2 = 1	10 kHz Offset		-99		
			100 kHz Offset		-122		
			1 MHz Offset		-144		
			5 MHz Offset		-155		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1650E)	$f_{Fout} = 1645 \text{ MHz}$ DIV2 = 0	10 kHz Offset		-93		
			100 kHz Offset		-118		
			1 MHz Offset		-140		
			5 MHz Offset		-154		
		$f_{Fout} = 822.5 \text{ MHz}$ DIV2 = 1	10 kHz Offset		-99		
			100 kHz Offset		-122		
			1 MHz Offset		-144		
			5 MHz Offset		-155		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1700E)	$f_{Fout} = 1716 \text{ MHz}$ DIV2 = 0	10 kHz Offset		-92		
			100 kHz Offset		-117		
			1 MHz Offset		-139		
			5 MHz Offset		-153		
		$f_{Fout} = 858 \text{ MHz}$ DIV2 = 1	10 kHz Offset		-98		
			100 kHz Offset		-122		
			1 MHz Offset		-144		
			5 MHz Offset		-154		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1742)	$f_{Fout} = 1813 \text{ MHz}$	10 kHz Offset		-92		
			100 kHz Offset		-117		
			1 MHz Offset		-140		
			5 MHz Offset		-152		
		$f_{Fout} = 906.5 \text{ MHz}$ DIV2 = 1	10 kHz Offset		-99		
			100 kHz Offset		-122		
			1 MHz Offset		-143		
			5 MHz Offset		-152		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1778E)	$f_{Fout} = 1783 \text{ MHz}$	10 kHz Offset		-92		
			100 kHz Offset		-117		
			1 MHz Offset		-139		
			5 MHz Offset		-152		
		$f_{Fout} = 891.5 \text{ MHz}$	10 kHz Offset		-97		
			100 kHz Offset		-122		
			1 MHz Offset		-144		
			5 MHz Offset		-154		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ1910E)	$f_{Fout} = 1931$	10 kHz Offset		-89		
			100 kHz Offset		-115		
			1 MHz Offset		-138		
			5 MHz Offset		-151		
		$f_{Fout} = 965.5$	10 kHz Offset		-95		
			100 kHz Offset		-121		
			1 MHz Offset		-143		
			5 MHz Offset		-155		

電気的特性 (特に指定のない限り、 $V_{CC} = 3.0V$ 、 $-40 \leq T_A \leq 85$) (つづき)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
$L(f)_{Fout}$	Phase Noise (LMX2531LQ2080E)	$f_{Fout} = 2089$ MHz	10 kHz Offset		-87		dBc/Hz
			100 kHz Offset		-113		
			1 MHz Offset		-136		
			5 MHz Offset		-150		
		$f_{Fout} = 1044.5$ MHz	10 kHz Offset		-93		
			100 kHz Offset		-119		
			1 MHz Offset		-142		
			5 MHz Offset		-154		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ2265E)	$f_{Fout} = 2264$ MHz	10 kHz Offset		-88		dBc/Hz
			100 kHz Offset		-113		
			1 MHz Offset		-136		
			5 MHz Offset		-150		
		$f_{Fout} = 1132$ MHz	10 kHz Offset		-94		
			100 kHz Offset		-118		
			1 MHz Offset		-141		
			5 MHz Offset		-154		
$L(f)_{Fout}$	Phase Noise (LMX2531LQ2570E)	$f_{Fout} = 2563$ MHz	10 kHz Offset		-86		dBc/Hz
			100 kHz Offset		-112		
			1 MHz Offset		-135		
			5 MHz Offset		-149		
		$f_{Fout} = 1281.5$ MHz	10 kHz Offset		-91		
			100 kHz Offset		-117		
			1 MHz Offset		-139		
			5 MHz Offset		-152		

電氣的特性 (特に指定のない限り、 $V_{CC} = 3.0V$ 、 $-40 \leq T_A \leq 85$) (つづき)

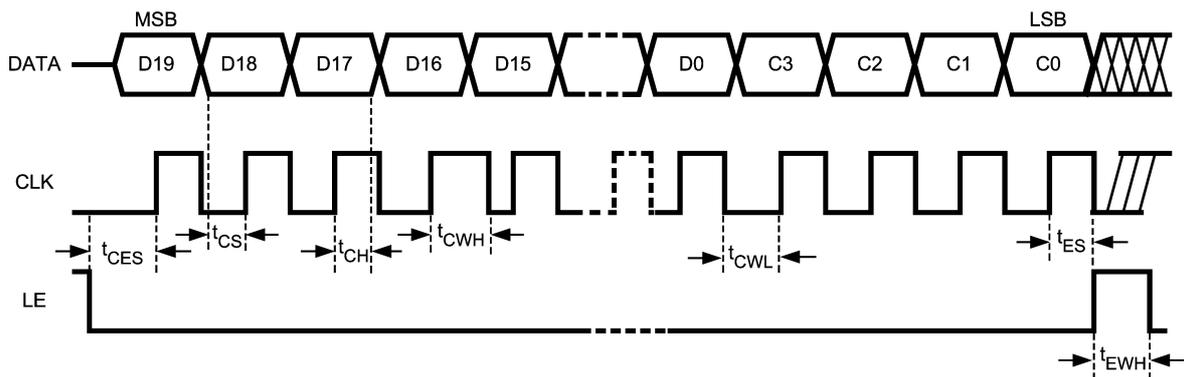
Symbol	Parameter	Conditions	Min	Typ	Max	Units
Digital Interface (DATA, CLK, LE, CE, Ftest/LD, FLout)						
V_{IH}	High-Level Input Voltage		1.6		2.75	V
V_{IL}	Low-Level Input Voltage				0.4	V
I_{IH}	High-Level Input Current	$V_{IH} = 1.75$	-3.0		3.0	μA
I_{IL}	Low-Level Input Current	$V_{IL} = 0 V$	-3.0		3.0	μA
V_{OH}	High-Level Output Voltage	$I_{OH} = 500 \mu A$	2.0	2.65		V
V_{OL}	Low-Level Output Voltage	$I_{OL} = -500 \mu A$		0.0	0.4	V
MICROWIRE Timing						
t_{CS}	Data to Clock Set Up Time	See Data Input Timing	25			ns
t_{CH}	Data to Clock Hold Time	See Data Input Timing	20			ns
t_{CWH}	Clock Pulse Width High	See Data Input Timing	25			ns
t_{CWL}	Clock Pulse Width Low	See Data Input Timing	25			ns
t_{ES}	Clock to Enable Set Up Time	See Data Input Timing	25			ns
t_{CES}	Enable to Clock Set Up Time	See Data Input Timing	25			ns
t_{EWH}	Enable Pulse Width High	See Data Input Timing	25			ns

Note 2: 正規化された位相ノイズ成分は次のように定義されます。 $LN(f) = L(f) - 20\log(N) - 10\log(F_{comp})$ 、 $L(f)$ はオフセット周波数 f で測定した 1Hz あたりの単側帯位相ノイズ、 F_{comp} はシンセサイザの比較周波数です。オフセット周波数 f は、PLL のループ帯域幅よりは十分に小さく、基準電圧からの大きいノイズの影響を避けるためには十分な大きさとする必要があります。

Note 3: Maximum Allowable Temperature Drift for Continuous Lock (連続ロック時の最大許容温度ドリフト) とは、R0 レジスタを最後にプログラムした後、デバイスがロック状態を維持するために許される温度の上下方向への最大変化です。R0 レジスタのプログラミング動作は、同じ値をプログラムする場合でも周波数校正ルーチンを起動します。これは、デバイスは全周波数範囲で動作するものの、連続ロックのための許容最大値を超えて温度がドリフトした場合には、R0 レジスタを再ロードしてロック状態を確実に維持する必要があることを意味しています。デバイスが仕様を満たすには、最初にプログラムされた温度にかかわらず、温度範囲を $-40 \leq T_A \leq 85$ に保つ必要があります。

Note 4: VCO 位相ノイズは、ループ帯域幅が十分に狭く VCO ノイズの寄与が支配的であることを前提として測定されます。最大リミット値は、テスト周波数ごとにデバイスの再ロードを行うことを前提に、周波数の中央値および全温度範囲で適用されるものとします。位相ノイズは全周波数範囲で 1 ~ 2dB 変化し、通常、最高周波数でワースト条件となります。温度範囲に対する位相ノイズの変化は、デバイスの再ロードを行うことを前提とすれば、通常 1 ~ 2dB になります。

シリアル・データのタイミング図



DATA は CLK 信号の立ち上がりエッジごとにシフト・レジスタに取り込まれることに注意してください。LE 信号の立ち上がりエッジで、データはシフト・レジスタから実際のカウンタに送られます。プログラムが完了したら、CLK、DATA、LE 信号を Low 状態に戻してください。ビット R5[23] を (デフォルト値の 1 から) 0 に変更し

た場合、LE は High に固定のままでも可能ですが、推奨はしません。このビットを変更すると、その条件下のテストを行っていないためデバイスの動作を保証できません。ナショナル・セミコンダクターは、プログラムした後は、LE を Low に保つことを強く推奨します。

1.0 機能説明

LMX2531 は、PLL、VCO を搭載し、ループ・フィルタの一部を内蔵した低消費電力の高性能周波数シンセサイザ・システムです。本章で述べるビットに関しては、第 2 章のプログラミング情報の中で詳細に説明します。

1.1 基準発振器入力

VCO 周波数較正アルゴリズムは OSCin ピンのクロックに基づいて、いくつかのビットを OSCin の周波数に応じて設定する必要があります。XTLSEL (R6[22:20]) と XTLDIV (R7[9:8]) の両方を OSCin の周波数に基づいて設定します。

LMX2531LQ2080E および LMX2531LQ2570E については、XTLMAN (R7[21:10]) と XTLMAN2 (R8[4]) のワードも正しい値に設定しなければなりません。他のバージョンの場合はこれらのワード設定は不要です。

1.2 R 分周回路

R 分周回路は、OSCin 周波数を位相検出器の周波数まで分周します。R カウンタに設定できる有効な値は、1、2、4、8、16、32 のみです。また、この値が 8 より大きい場合、R 分周回路は使用可能なフラクショナル・モジュラスにも影響を与えます。

1.3 N 分周回路およびフラクショナル回路

LMX2531 の N 分周回路はフラクショナル方式であり、分数の分母として 1 ~ 4,194,303 の範囲の任意の値を設定できます。N カウンタ値の整数部分 $N_{Integer}$ は N ワードの値によって決まります。16/17/20/21 プリスケアラを使用するため、 $N_{Integer}$ の最小値には制約があります。実際には 4 重モジュラス・プリスケアラを組み合わせ、この目的の値を得ているためです。フラクショナル・ワードの $N_{Fractional}$ は、NUM ワードと DEN ワードによって表される分数です。分数の分母となる DEN は、2 ~ 4,194,303 の範囲で設定可能です。DEN = 0 にすると N の値が無限大となるため意味がありません。また、DEN = 1 も (可能ではあるものの) 同様です。DEN = 1 とするアプリケーションならば整数モードを使用すればよいからです。範囲内のこれら以外の値、例えば 10、32,734、4,000,000 などすべて有効です。分数の分母 DEN を決定したら、分子の NUM は 0 ~ DEN - 1 の範囲で変化させることができます。同じ分数をより大きな値で表現すると、例えば 1/10 を 100/1000 として設定すると、フラクショナル・スプリアスが改善される場合がありますが、そうでない場合もあります。フラクショナル・スプリアスはフラクショナル変調器の次数や選択するデザイン・モード、さらにはループ帯域幅その他のアプリケーション固有の基準による影響を受けます。一般的に N カウンタの最終的な値は次式によって決定されます。

$$N = N_{Integer} + N_{Fractional}$$

分母に必要な最小値を計算するには、R カウンタの値を選択して比較周波数を知る必要があります。分母に必要な最小値は、比較周波数を、比較周波数と OSCin 周波数の最大公約数で除算すると計算できます。例えば、10MHz の水晶発振器と 200kHz のチャンネル間隔を考えます。R カウンタの値に 2 を選択した場合、比較周波数を 5MHz になります。200kHz と 5MHz の最大公約数は 200kHz です。5MHz を 200kHz で除算すると 25 になるため、この条件では、分数の分母を 25、あるいは 25 の任意の倍数とすればよいことになります。次に、チャンネル間隔を 30kHz とした場合について考えます。ここでも比較周波数を 5MHz とすると、30kHz と 5MHz の最大公約数は 10kHz になり、5MHz を 10kHz で除算して 500 が得られます。この条件では分数の分母を 500、あるいは 500 の任意の倍数とすればよいことになります。最後の例として、2110.8MHz の固定出力周波数と 19.68MHz の水晶発振周波数の場合について検討します。R カウンタの値に 2 を選択した場合、比較周波数は 9.84MHz になります。9.84MHz と 2110.8MHz の最大公約数は 240kHz です。9.84MHz/240kHz

= 41 より、分数の分母は 41、またはその任意の倍数になります。最後の例の N カウンタ全体の値は 214 + 21/41 です。

フラクショナル方式の値はデルタ・シグマ・アーキテクチャによって実現します。このアーキテクチャでは分数の値を得るために整数 N カウンタをさまざまな値に変化させます。本デバイスでは、変調器の次数を 0 (整数モード)、2、3、4 に設定できます。理論上、フラクショナル変調器の次数が高ければ高いほど、スプリアスは小さくなります。しかし常にそうなるとは限らず、アプリケーションによっては、より高次のフラクショナル変調器によって、他のスプリアス・トーンが大きくなる場合があります。これが変調器の次数を選択可能にする利点です。デザインもフラクショナル・スプリアスに影響を与えますが、変調器の次数ほどではありません。

1.4 位相検出器

位相検出器は R カウンタと N カウンタの出力を比較し、位相誤差に応じた補正電流を出力します。位相検出器の周波数選択は確実に性能に影響を与えます。使用する位相検出器の周波数を決定する場合、R カウンタの値に対する制約を考慮する必要があります。

1.5 部分的に内蔵されたループ・フィルタ

LMX2531 には 3 番目のポール (R3 と C3 によって構成) と 4 番目のポール (R4 と C4 によって構成) のループ・フィルタを搭載しています。このループ・フィルタは EN_LPFTR (R6[15]) によって、イネーブルまたはバイパスできます。また、C3、C4、R3、R4 の値も MICROWIRE インタフェースを介して個別にプログラムできます。ロック時間を最小とするために、FastLock 中に R3 と R4 の値を変更できます。内蔵ループ・フィルタの減衰率はできる限り最大値に設定することを推奨します (R3 = R4 = 40k 、C3 = C4 = 100pF)。スプリアスには内部ループ・フィルタの方が外部ループ・フィルタより効果的に低減できるものがあります。しかし、内部ループ・フィルタの減衰率が大きすぎると、得られる最大ループ帯域幅が制限されます。これはループ・フィルタのシャント・コンデンサ C1 をゼロにする場合に相当します。内蔵フィルタを用いて設計を行う場合、チャージ・ポンプ電流と比較周波数の両方あるいはそのいずれかを大きくすると、得られる最大ループ帯域幅が広がります。これにより、多くの場合、ループ・フィルタも最適化され、より強力な減衰特性が得られるようになります。チャージ・ポンプ電流と比較周波数をすでに可能な限り大きくしているにもかかわらず、ループ帯域幅が不十分な場合は、抵抗とコンデンサの値を小さくするか、さらには内部ループ・フィルタをバイパスする方法があります。内部ループ・フィルタをバイパスした場合でも、VCO の前段には 200pF 程度の小さな入力容量が存在することに注意してください。部分的に内蔵されたループ・フィルタに関する詳細や設計ツールについては、wireless.national.com を参照してください。

1.6 完全に集積化された低ノイズ VCO

LMX2531 はインダクタも含めた VCO 回路機能のすべてを内蔵しています。最適な位相ノイズ性能を得るために、この VCO には周波数と位相ノイズ較正アルゴリズムが組み込まれています。周波数較正アルゴリズムが必要な理由は、同調ゲインを低くして位相ノイズ特性を向上するために、VCO が内部的に周波数範囲を複数の帯域に分割しているためです。周波数較正ルーチンは R0 レジスタをプログラムする時に必ず起動されます。温度が著しく変化しても R0 レジスタをプログラムしない場合は、その温度変化は連続ロック時の最大許容ドリフト T_{CL} を超えてはなりません。この範囲を超えると VCO のロック維持を保証できなくなります。位相ノイズ較正アルゴリズムは、位相ノイズを可能な限り小さくするために必要です。LMX2531 の各バージョンについて、最適な位相ノイズ特性を確保できるように、VCO_ACL_SEL ビット (R6[19:16]) を適切な値に設定する必要があります。

1.0 機能説明 (つづき)

VCO のゲインは周波数範囲内で著しく変化します。ゲインは最低周波数側で最小、最高周波数側で最大になります。この範囲はデータシートで規定されています。ループ・フィルタを設計する場合、次の方法を推奨します。使用する最低周波数と最大周波数のジオメトリ平均を最初に求めます。次に、VCO ゲインを推定するために線形の近似を使用します。例として、2100 ~ 2150MHz にチューニングするために、LMX2531LQ2080E を使用するアプリケーションを考えます。これら周波数のジオメトリ平均は $(2100 \times 2150)\text{MHz} = 2125\text{MHz}$ になります。VCO のゲインは 1904MHz で 9MHz/V、2274MHz で 20MHz/V と規定されています。この 370MHz の範囲で VCO のゲインは 11MHz/V 変化しています。したがって 2125MHz における VCO のゲインはおおよそ $9 + (2125 - 1904) \times 11/370 = 15.6\text{MHz/V}$ になります。VCO のゲインはデバイスごとに異なるものの、そのばらつきは周波数変動による変化に比べれば小さいです。

1.7 プログラム可能な 2 分周機能

LMX2531 の全バージョンが 2 分周オプションを備えています。このオプションを使用すると、VCO 出力周波数を分周して、VCO 周波数を確実に半分得ることができます。この 2 分周は VCO と PLL の間のフィードバック経路外で行うため、2 分周する前の VCO 周波数に対してループ・フィルタとカウンタの値が設定されます。最適な位相ノイズ性能を得るには、DIV2 ビットをイネーブ爾またはディスエーブルした直後に、R0 レジスタを再プログラムする必要があります。

1.8 チャージ・ポンプ電流と比較周波数の選定

LMX2531 では 16 レベルのチャージ・ポンプ電流と、柔軟性の高いフラクショナル・モジュラスを選択できます。これによりユーザーは多くの自由度を得られます。この章では設計時の検討事項について説明します。PLL ノイズの観点から見れば、チャージ・ポンプ電流と比較周波数を可能な限り高く設定すると、最適な位相ノイズ性能が得られます。オフセットが大きな領域では比較周波数を 2 倍にすることに PLL ノイズは 3dB 改善します。しかし、オフセットの小さい領域では PLL の $1/f$ ノイズの影響により、この効果はかなり小さくなります。チャージ・ポンプ電流を 2 倍に増加させることで、位相ノイズは約 3dB 改善します。ただし、チャージ・ポンプ電流を大きくするほど、この効果は薄れます。

ループ・フィルタの設計と PLL 位相ノイズの観点からは、比較周波数とチャージ・ポンプ電流は常に最大に設定するのがよいと考えがちです。しかし、OSCin 周波数の倍数から 1 チャネル間隔だけ離れた出力周波数で発生するフラクショナル・スプリアスの最悪ケースでは、この設定について再検討が必要になります。比較周波数またはチャージ・ポンプ電流が大きすぎると、上記のスプリアスが劣化し、さらにループ・フィルタも理論から期待されるほどスプリアスをフィルタできなくなる場合があります。おおよその推奨値として、比較周波数を約 2.5MHz、チャージ・ポンプ電流を 1X とすれば、最適なスプリアス性能が得られます。

2.0 プログラミングの概要

LMX2531 は 11 個の 24 ビット・レジスタをプログラムすることにより、動作が制御されます。内蔵の各レジスタを間接的にプログラムする一時レジスタとして、24 ビットのシフト・レジスタを使用します。シフト・レジスタはデータ・フィールドとアドレス・フィールドから構成されます。レジスタの最後の 4 ビット、アドレス・フィールドの CTRL [3:0] は内部レジスタ・アドレスをデコードするために使用します。残りの 20 ビットはデータ・フィールド DATA [19:0] を構成します。LE が Low の間、シリアル・データはクロックの立ち上がりエッジでシフト・レジスタに取り込まれます (データの MSB が最初にプログラムされます)。データは、LE が High に遷移した時点でデータ・フィールドから選択されたレジスタ・バンクに転送されます。実際に、このデバイスは 14 個のレジスタを搭載していますが、プログラムするのはその一部です。他の隠しレジスタ (R13、R11、R10) の状態が初期化シーケンスで設定されるためです。これらの隠しレジスタや、"1" または "0" に決められた多数のビットをプログラムすることは可能ですが、これらの隠しレジスタやビットで実験しないでください。デバイスはそのような条件でテストされていないため、ほとんどの場合は性能が劣化します。

DATA[19:0]																				CONTROL[3:0]				
MSB																								LSB
D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C3	C2	C1	C0	

2.01 レジスタ位置の真理値表

C3	C2	C1	C0	Data Address
1	1	0	0	R12
1	0	0	1	R9
1	0	0	0	R8
0	1	1	1	R7
0	1	1	0	R6
0	1	0	1	R5
0	1	0	0	R4
0	0	1	1	R3
0	0	1	0	R2
0	0	0	1	R1
0	0	0	0	R0

2.02 初期化シーケンス

以下にコールド・スタートからの初期ロード・シーケンスを示します。レジスタは下記の順序でプログラムする必要があります。また、LDO を適切に起動させるために、R5 を最後にロードしてから R1 をロードするまでに、最低でも 10ms の時間を確保しなければなりません。

レジスタ	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[19:0]																				C3	C2	C1	C0
R5 INIT1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R5 INIT2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R5	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	0	1
R12	全レジスタ・マップに示したとおりに R12 をプログラムします。																				1	1	0	0
R9	全レジスタ・マップに示したとおりに R9 をプログラムします。																				1	0	0	1
R8	レジスタ R8 のプログラミング情報については個別セクションの説明を参照してください。レジスタ R8 のプログラムが必要になるのは、2080E および 2570E バージョンを $f_{OSCin} > 40MHz$ で使用する場合があります。																				1	0	0	0
R7	レジスタ R7 のプログラミング情報については個別セクションの説明を参照してください。																				0	1	1	1
R6	レジスタ R6 のプログラミング情報については個別セクションの説明を参照してください。																				0	1	1	0
R4	レジスタ R4 のプログラミング情報については個別セクションの説明を参照してください。レジスタ R4 のプログラムが必要になるのは FastLock を使用する場合があります。																				0	1	0	0
R3	レジスタ R3 のプログラミング情報については個別セクションの説明を参照してください。																				0	0	1	1
R2	レジスタ R2 のプログラミング情報については個別セクションの説明を参照してください。																				0	0	1	0
R1	レジスタ R1 のプログラミング情報については個別セクションの説明を参照してください。																				0	0	0	1
R0	レジスタ R0 のプログラミング情報については個別セクションの説明を参照してください。																				0	0	0	0

2.0 プログラミングの概要 (つづき)

2.03 全レジスタ内容のマップ

下表は LMX2531 のプログラム可能なビットをすべて示しています。この表は、プログラミングの順序または初期化シーケンスを示すものではなく、単にプログラミングの位置情報を表します。

RE	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
GIS	DATA[19:0]																										
TER																											
R0	N [7:0]							NUM [11:0]							NUM [21:12]							R [5:0]					
R1	0	0	0	0	0	0	0	ICP [3:0]	N [10:8]			NUM [21:12]							R [5:0]								
R2	0	0	1	DEN [11:0]																							
R3	DIV 2	FD M	DITHER [1:0]	ORDER [1:0]	FoLD [3:0]			DEN [21:12]																			
R4	0	0	0	ICPFL [3:0]			TOC [13:0]																				
R5	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1		
R6	0	XTLSEL [2:0]		VCO_ACI_SEL [3:0]			EN_LPT13 [3:0]			R4_ADJ [1:0]	R4_ADJ_FL [1:0]	R3_ADJ [1:0]	R3_ADJ_FL [1:0]	EN_PLLD01	EN_PLLD02	EN_PLLD01	EN_VCOLD	EN_OSC	EN_VCO	EN_PLL	C3_4_ADJ [2:0]			R [5:0]			
R7	0	0	XTLMAN [11:0]											XTLDIV [1:0]			R [5:0]										
R8	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
R9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1		
R12	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0		

2.0 プログラミングの概要 (つづき)

2.1 レジスタ R0

R0レジスタをプログラミングすると、VCOの周波数校正ルーチンが起動します。この校正はVCOがチューニング電圧をセンタリングして最適性能を得るために必要です。温度が大幅にドリフトした場合でも、温度ドリフトに関する仕様に違反していなければPLLはロック状態を保ちます。

2.1.1 NUM[10:0]とNUM[21:12] -- 分数の分子

NUMワードはR0レジスタとR1レジスタに分けて格納します。これらの分子ビットは、デルタ・シグマPLLの分数の分子を決定します。FDMビット(R3[22])が0(このレジスタの他のビットは無視されます)の場合、この値は0~4095に設定でき、またFDMビットが1の場合は0~4194303の値を設定できます。

Fractional Numerator	NUM[21:12]										NUM[11:0]									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
...																				
409503	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
4096	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	
...																				
4194303	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

Rカウンタの値が16または32の場合は、この値に応じて分数の分子が制限されることに注意してください。

2.1.2 N[7:0]とN[10:8]

Nカウンタは11ビットです。これらのうち8ビットはR0レジスタに、残りの3ビット(MSBビット)はR1レジスタに格納されます。LMX2531にはA、B、Cカウンタがあり、最終的なNカウンタの値を得るために16/17/20/21プリスケアラと連携して動作します。

N Value	N[10:8]				N[7:0]							
	C				B			A				
<55	- Values less than 55 are prohibited.											
55	0	0	0	0	0	0	1	1	0	1	1	1
...												
2039	1	1	1	1	1	1	1	1	0	1	1	1

2.0 プログラミングの概要 (つづき)

2.2 レジスタ R1

2.2.1 NUM[21:12]

これらは、すでに説明した分数の分子を表すビットの MSB です。

2.2.2 N[10:8] -- N カウンタの MSB 3 ビット

これらは R0 レジスタのセクションで説明した N カウンタの MSB 側 3 ビットです。

2.2.3 ICP[3:0] -- チャージ・ポンプ電流

このビットはチャージ・ポンプ・ゲインを変える場合のチャージ・ポンプ電流をプログラムします。電流は 90 μ A ~ 1.44mA まで 90 μ A 刻みで設定できます。通常、チャージ・ポンプ電流が大きいほど PLL の位相ノイズは改善しますが、スプリアスが大きくなる場合があります。

ICP	Charge Pump State	Typical Charge Pump Current at 3 Volts (μ A)
0	1X	90
1	2X	180
2	3X	270
3	4X	360
4	5X	450
5	6X	540
6	7X	630
7	8X	720
8	9X	810
9	10X	900
10	11X	990
11	12X	1080
12	13X	1170
13	14X	1260
14	15X	1350
15	16X	1440

2.0 プログラミングの概要 (つづき)

2.3 レジスタ R2

2.3.1 R[5:0] -- R カウンタ値

これらのビットは位相検出器の周波数を決めます。OSCin 周波数を R カウンタの値によって除算することにより位相検出器の周波数 (比較周波数) が決まります。許される値は 1、2、4、8、16、32 のみであることに注意してください。

R Value	Fractional Denominator Restrictions	R[5:0]					
0,3,5-7, 9-15,17-31, 33-63	n/a	These values are illegal.					
1	none	0	0	0	0	0	1
2	none	0	0	0	0	1	0
4	none	0	0	0	1	0	0
8	none	0	0	1	0	0	0
16	Must be divisible by 2	0	1	0	0	0	0
32	Must be divisible by 4	1	0	0	0	0	0

R カウンタの値によって、分数の分子の値に一定の制約が課せられる場合があることに注意してください。R カウンタの値が 16 の場合、分子の値は 2 で割り切れなければなりません。これは分子を指定するワードの LSB が 0 だからです。R カウンタの値が 32 の場合には、分子を指定するワードの LSB 側 2 ビットが 0 でなければなりません。これは分子が 4 で割り切れることと等価です。分数の分子には非常に大きな値でも設定できるため、特に問題は生じません。例えば、分数のワードとして 1/65 を設定する必要があり、R カウンタの値が 16 の場合は、分数のワードを 4/260 に変更すれば同じ分解能が得られます。

2.3.2 DEN[21:12] と DEN[11:0] -- 分数の分母

これらのビットは分数の分母を決定します。このワードの MSB はレジスタ R3 に格納されることに注意してください。FDM ビットが 0 の場合、DEN[21:12] は無視されます。分数の分母を 0 とするのは、ORDER = 1 に設定してフラクショナル回路を無効化する場合のみに行ってください。また、値 1 は使用する意味がありません。その他の値は、いずれもフラクショナル・モードで使用できます。

Fractional Denominator	DEN[21:12]										DEN[11:0]									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
...																				
4095	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
4096	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	
...																				
4194303	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

2.0 プログラミングの概要 (つづき)

2.4 レジスタ R3

2.4.1 DEN[21:12] -- 分数の分母の一部

これらのビットは、すでに説明した DEN ワードの MSB です。

2.4.2 FoLD[3:0] -- Ftest/LD ビンのマルチプレクス出力

FoLD[3:0] ワードは、Ftest/LD ビンの出力をプログラムするために使用します。このピンは汎用 I/O ピン、ロック検出ピン、診断用として使用できます。デジタルのロック検出状態を出力するようにプログラムした場合、Ftest/LD ビンの出力はデバイスのロック状態で High に、それ以外の場合は Low になります。ロック状態であるかどうかは入力位相を位相検出器と比較することによって判断します。アナログのロック検出モードでは、非常に高速の負パルスを含む大信号が出力されます。この負パルスはチャージ・ポンプがオンするタイミングに一致しています。この出力を RC フィルタを用いてローパス・フィルタリングすればロック検出状態を判断できます。オープン・ドレインの状態を使用する場合は、回路の感度を高めるために RC フィルタの抵抗は先大幅に大きいプルアップ抵抗を使用します。診断目的で使用する場合、R カウンタまたは N カウンタの出力を監視できるオプションは役に立ちます。Ftest/LD 端子の出力電圧レベルは、デバイスの電源電圧とは異なり、電気的特性に示す V_{OH} と V_{OL} の値となることに注意が必要です。

FoLD	出力タイプ	機能
0	ハイ・インピーダンス	無効
1	プッシュプル	論理 High 状態
2	プッシュプル	論理 Low 状態
3	プッシュプル	デジタルのロック検出
4	適用なし	予備
5	プッシュプル	N カウンタ出力を 2 で除算した値
6	オープン・ドレイン	アナログのロック検出
7	プッシュプル	アナログのロック検出
8	適用なし	予備
9	適用なし	予備
10	適用なし	予備
11	適用なし	予備
12	適用なし	予備
13	適用なし	予備
14	プッシュプル	R カウンタ出力
15	適用なし	予備

2.4.3 ORDER -- デルタ・シグマ変調器の次数

このビットは PLL 内のデルタ・シグマ変調器の次数を決定します。通常、フラクショナル変調器の次数が大きいほど、チャネル間隔の整数倍で現れる 1 次フラクショナル・スプリアスは低減される傾向にあります。ただし、フィルタリングが不十分な場合、チャネル間隔の整数倍以外の周波数にスプリアスが発生することがあります。変調器の最適な次数選択はアプリケーションに強く依存しますが、検討の最初の手がかりとしては、3 次の変調器が適切でしょう。

次数	デルタ・シグマ変調器の次数
0	4 次
1	変調器のリセット (整数モード - 分数はすべて無視されます)
2	2 次
3	3 次

2.0 プログラミングの概要 (つづき)

2.4.4 DITHER -- ディザリング

ディザリングは、フラクショナル・スプリアス、特にチャネル間隔の整数倍以外の場所に発生するものを低減するのに有効です。ただし、分数の分子がゼロの場合だけは例外です。通常このような場合にはディザリングは効果を発揮しません。またディザリングによって PLL の位相ノイズが 1 デンベルの数分の 1 程度増加する場合があります。通常、ディザリングがディスエーブルされていると、システムのループ帯域幅内では位相ノイズが若干よくなるもののスプリアスが劣化する可能性があります。

DITHER	ディザリング・モード
0	弱いディザリング
1	予備
2	強いディザリング
3	ディザリング無効

2.4.5 FDM -- 分数の分母のモード

このビットを 1 に設定すると、分数の分子と分母の MSB10 ビットが有効になります。この場合、分数の分母の値として 1 ~ 4,194,303 の範囲を設定できます。このビットを 0 に設定すると、分数の分子と分母の LSB12 ビットのみが有効となり、分母の値は 1 ~ 4095 になります。このビットをディスエーブルすると、消費電流が約 0.5mA 小さくなります。

2.4.6 DIV2

適切なオプションと組み合わせると、このビットをイネーブルにすると、本機能に対応しているバージョンで VCO 出力周波数が 2 分の 1 になります。この機能を使用すると高調波成分と出力電力に若干の影響を及ぼします。

DIV2	VCO 出力周波数
0	2 分周せず
1	2 分周

2.0 プログラミングの概要 (つづき)

2.5 レジスタ R4

2.5.1 TOC[13:0] -- FastLock 用タイム・アウト・カウンタ

このワードの値が 3 以下の場合、FastLock はディスエーブルされ、このピンは汎用 I/O としてのみ使用できます。この値が 4 以上の場合、下表に示す位相検出器のサイクル数だけタイム・アウト・カウンタが起動します。

TOC の値	FLout ピンの状態	タイム・アウト・カウンタ
0	高インピーダンス	0
1	Low	常に有効
2	Low	0
3	High	0
4	Low	4 × 2 位相検出器
.	.	.
16383	Low	16383 × 2 位相検出器

このカウンタが起動している間は FLout ピンが接地され、FastLock 電流が流れます。また抵抗 R3 と R4 も変わる可能性があります。下表は FastLock を行っている場合とそうでない場合のさまざまな値を制御する各ビットの相違をまとめたものです。

FastLock の状態	FLout	チャージ・ポンプ電流	R3	R4
定常状態	ハイ・インピーダンス	ICP	R3_ADJ	R4_ADJ
FastLock 状態	グラウンド	ICPFL	R3_ADJ_FL	R4_ADJ_FL

2.5.2 ICPFL[3:0] -- FastLock 時のチャージ・ポンプ電流

FastLock がイネーブルの場合、ロック時間を高速化するために使用するチャージ・ポンプ電流を示します。

ICPFL	Fastlock Charge Pump State	Typical Fastlock Charge Pump Current at 3 Volts (μA)
0	1X	90
1	2X	180
2	3X	270
3	4X	360
4	5X	450
5	6X	540
6	7X	630
7	8X	720
8	9X	810
9	10X	900
10	11X	990
11	12X	1080
12	13X	1170
13	14X	1260
14	15X	1350
15	16X	1440

2.0 プログラミングの概要 (つづき)

2.6 レジスタ R5

2.6.1 EN_PLL -- PLL のイネーブル・ビット

このビットを 1 に設定すると PLL が起動し、それ以外の場合はパワーダウン状態になります。

2.6.2 EN_VCO -- VCO のイネーブル・ビット

このビットを 1 に設定すると VCO が起動し、それ以外の場合はパワーダウン状態になります。

2.6.3 EN_OSC -- 発振器インバータのイネーブル・ビット

このビットを 1 に設定すると (デフォルト)、基準発振器が起動します。それ以外の場合はパワーダウン状態になります。

2.6.4 EN_VCOLDO -- VCO LDO のイネーブル・ビット

このビットを 1 に設定すると (デフォルト) VCO LDO が起動します。それ以外の場合はパワーダウン状態になります。

2.6.5 EN_PLLLDO1 -- PLL LDO1 のイネーブル・ビット

このビットを 1 に設定すると (デフォルト) PLL LDO1 が起動します。それ以外の場合はパワーダウン状態になります。

2.6.6 EN_PLLLDO2 -- PLL LDO2 のイネーブル・ビット

このビットを 1 に設定すると (デフォルト) PLL LDO2 が起動します。それ以外の場合はパワーダウン状態になります。

2.6.7 EN_DIGLDO -- デジタル LDO のイネーブル・ビット

このビットを 1 に設定すると (デフォルト) デジタル LDO が起動します。それ以外の場合はパワーダウン状態になります。

2.6.8 REG_RST -- すべてのレジスタをデフォルト設定にリセット

デバイスを初期化するには、このビットを 3 回プログラムする必要があります。このビットを 1 に設定すると、すべてのレジスタがデフォルト・モードに設定され、デバイスがパワーダウン状態になります。2 回目のプログラムで R5 レジスタを REG_RST = 0 に設定すると、レジスタ内にデフォルト状態を保持したまま、レジスタ・リセットが解除されます。しかし、各ブロックや LDO のデフォルト状態はパワーオフであるため、すべての LDO と各ブロックを起動状態にプログラムできるように、R5 に対して 3 回目のプログラムを実行する必要があります。このビットを 1 に設定すると、すべてのレジスタがデフォルト・モードに設定され、デバイスがパワーダウン状態になります。通常動作では、このビットは 0 に設定します。この初期化は最初に 1 回だけ行えばよいことに注意してください。

2.0 プログラミングの概要 (つづき)

2.7 レジスタ R6

2.7.1 C3_C4_ADJ[2:0] -- 内部ループ・フィルタ・コンデンサ C3 および C4 の値

C3_C4_ADJ	C3 (pF)	C4 (pF)
0	50	50
1	50	100
2	50	150
3	100	50
4	150	50
5	100	100
6	50	150
7	50	150

2.7.2 R3_ADJ_FL[1:0] -- FastLock 時の内部ループ・フィルタ抵抗 R3 の値

R3_ADJ_FL Value	R3 Resistor During Fastlock (kΩ)
0	10
1	20
2	30
3	40

2.7.3 R3_ADJ[1:0] -- 内部ループ・フィルタ抵抗 R3 の値

R3_ADJ	R3 Value (kΩ)
0	10
1	20
2	30
3	40

2.7.4 R4_ADJ_FL[1:0] -- FastLock 時の内部ループ・フィルタ抵抗 R4 の値

R4_ADJ_FL	R4 Value during Fast Lock (kΩ)
0	10
1	20
2	30
3	40

2.7.5 R4_ADJ[1:0] -- 内部ループ・フィルタ抵抗 R4 の値

R4_ADJ	R4 Value (kΩ)
0	10
1	20
2	30
3	40

2.7.6 EN_LPFLTR -- 一部内蔵されたループ・フィルタのイネーブル・ビット

EN_LPFLTR(Enable Loop Filter) ビットは、オンチップ・ループ・フィルタの 3 次および 4 次ポールをイネーブル / ディスエーブルするために使用します。

EN_LPFLTR	ループ・フィルタの 3 次および 4 次ポール
0	ディスエーブル (R3 = R4 = 0 、 C3 + C4 = 200pF)
1	イネーブル

2.0 プログラミングの概要 (つづき)

2.7.7 VCO_ACI_SEL

このビットは VCO 位相ノイズを最適化するために使用します。推奨値はすべてテスト目的で使用されるものであり、このビットは下表の指示に従って設定してください。

Part	VCO_ACI_SEL
LMX2531LQ1570E LMX2531LQ1650E LMX2531LQ1700E LMX2531LQ1742 LMX2531LQ1778E LMX2531LQ1910E LMX2531LQ2080E	8
LMX2531LQ2265E LMX2531LQ2570E	6

2.7.8 XTLSSEL[2:0] -- 水晶振動子の選択

XTLSSEL	Crystal Frequency
0	<25 MHz
1	25 - 50 MHz
2	50 - 70 MHz
3	>70 MHz
4	マニュアル・モード
5	予備
6	予備
7	予備

このワードの値は、上記の表に従い、OSCin ピンに印加する周波数に応じて変更する必要があります。マニュアル・モードは、LMX2531LQ2080EとLMX2531LQ2570でのみ使用できます。他のバージョンではモード0～3を使用してください。

2.8 レジスタ R7

2.8.1 XTLDIV[1:0] -- 水晶発振器周波数の分周比

VCO 周波数較正回路に供給される周波数は、XTLDIV ワードによって決まる比率で分周した OSCin 周波数に基づきます。この分周比は R カウンタの値や比較周波数に依存しないことに注意してください。必要な分周比は、OSCin 周波数に依存します。下表にその関係を示します。

XTLDIV	Crystal Division Ratio	Crystal Range
0	予備	予備
1	2 分周	< 20 MHz
2	4 分周	20-40 MHz
3	8 分周	> 40 MHz

2.8.2 XTLMAN[11:0] -- マニュアル水晶振動子モード

このワードはロック時間の較正タイミングを調整します。下表に示すデバイスを除き、通常動作とするためには、このビットを 0 に設定してください。下表に示されたデバイスについて、表に掲載されていない f_{OSCin} 周波数に対するビットの値は、 $16 \times f_{\text{OSCin}}/\text{Kbit}$ によって計算できます。

Part	Kbit	f_{OSCin}				
		10 MHz	20 MHz	30.72 MHz	61.44 MHz	76.8 MHz
LMX2531LQ2080E	4.5	36	71	109	218	273
LMX2531LQ2570E	6.0	27	53	82	164	205

2.0 プログラミングの概要 (つづき)

2.9 レジスタ R8

2.9.1 XTLMAN2 -- マニュアル水晶振動子モードの 2 次調整

このビットもロック時間の較正タイミングを調整するものです。XTLSEL に対してマニュアル・モードを選択し、OSCin 周波数が 40MHz を超える場合に、このビットをイネーブルする必要があります。それ以外の場合は 0 に設定してください。

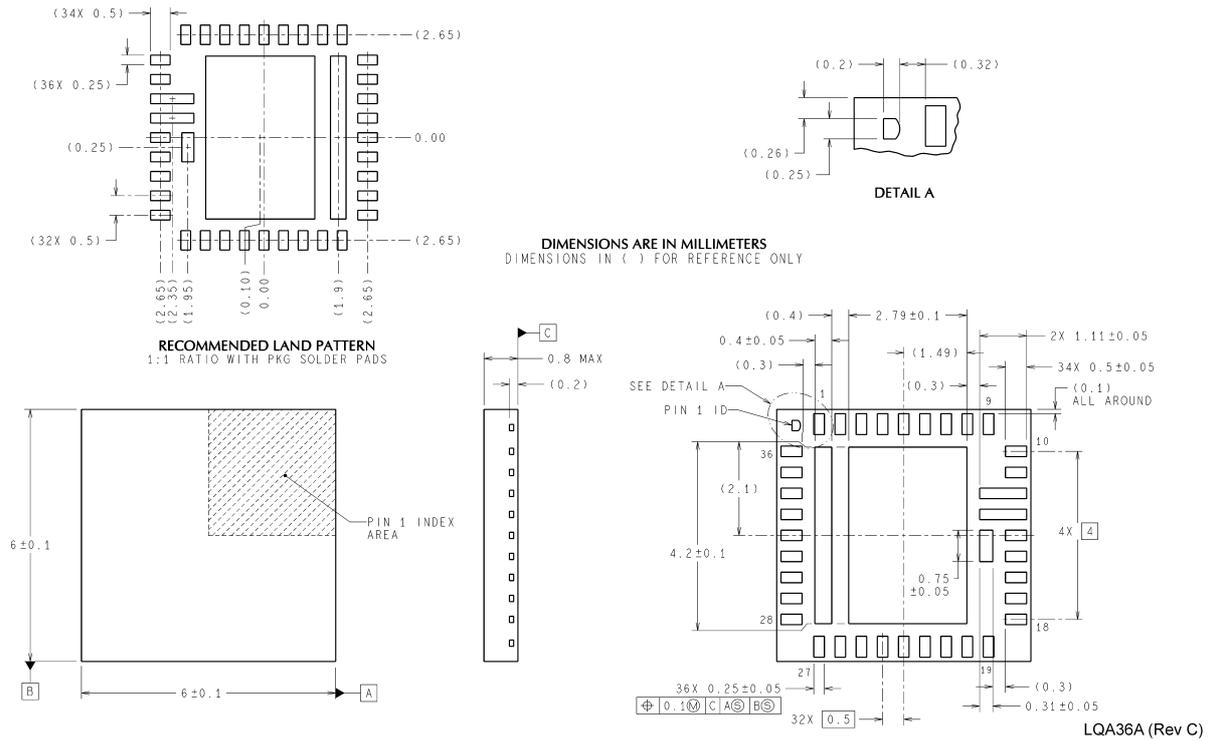
2.10 レジスタ R9

このレジスタのビットは、すべてプログラミング表に示されたとおりにプログラムしてください。

2.11 レジスタ R12

このレジスタにはユーザーが選択できるビットはありませんが、プログラムする必要があります。このレジスタには、2.02 章の全レジスタ内容のマップの値をロードしてください。

外形寸法図 特記のない限り inches (millimeters)



Leadless Leadframe Package (Bottom View)
Order Number LMX2531LQX for 2500 Unit Reel
Order Number LMX2531LQ for 250 Unit Reel
NS Package Number LQA036AA

Part	Marking
LMX2531LQ1570E	311570EB
LMX2531LQ1650E	311650EA
LMX2531LQ1700E	311778EB
LMX2531LQ1742	311742EA
LMX2531LQ1778E	311778EA

Part	Marking
LMX2531LQ1910E	311910EB
LMX2531LQ2080E	312080EB
LMX2531LQ2265E	312265ED
LMX2531LQ2570E	312570EC

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上