

16ビット、250KSPS サンプリング CMOS ADコンバータ

特長

- 工業標準入力範囲：±10V
- SNR：90dB (20kHz入力時 (Min))
- INL：±2.0LSB (Max)
- DNL：±1LSB (Max)
- 16ビット ノー・ミッシング・コード
- アナログ電源 (V_{ANA})：4.75V~5.25V
- I/O電源電圧 (V_{DIG})：1.65V~5.25V
- ADS7805/10 (低速)、ADS7804/8504とピン配列互換性
- 内部または、外部リファレンスを使用可能
- パラレル・データ出力
- 消費電力：100mW (250KSPS時 (Typ))
- 28ピンSSOPパッケージ

アプリケーション

- 産業用プロセス制御
- データ・アキュイジション・システム

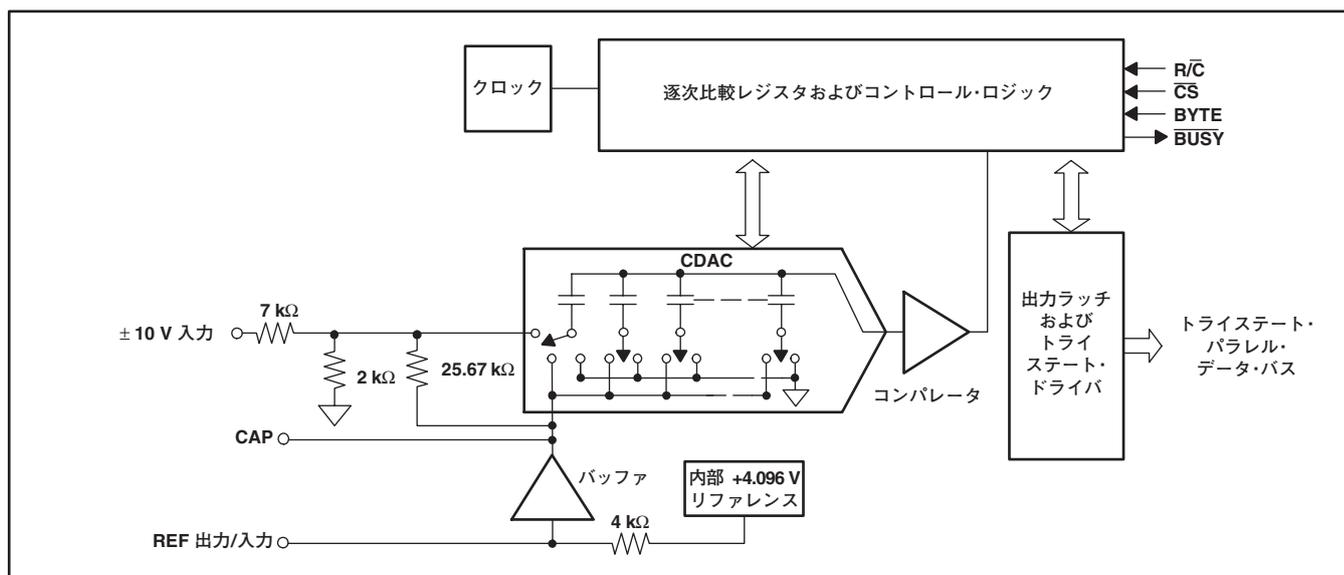
- デジタル信号処理
- 医療用機器
- 計装機器

概要

ADS8515は、最新のCMOS構造を採用した16ビット・サンプリングADコンバータ (ADC) です。またADS8515は、16ビット、電荷再分配方式の逐次比較型 (SAR) ADコンバータであり、サンプル・ホールド、リファレンス、クロック回路、マイクロプロセッサ用のインターフェイス、およびトライ・ステート出力ドライバ、全てを備えています。

ADS8515は、-40°C~+85°Cの範囲で250kHzのサンプリングレートが規定されています。斬新な設計により、+5V単電源で動作しながら高精度の抵抗で工業標準の±10V入力範囲を実現し、消費電力は100mWを下回ります。

ADS8515は28ピンSSOPパッケージで供給され、産業用の-40°C ~ +85°Cの温度範囲で動作が規定されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	最小 INL (LSB)	ノー・ミッシング・コード	最小 SINAD (dB)	仕様温度範囲	パッケージ・リード	パッケージ・コード	製品型番	出荷形態、数量
ADS8515IB	±2	16	89	-40°C ~ 85°C	SSOP-28	DB	ADS8515IBDB	チューブ、50
							ADS8515IBDBR	テープ・リール、2000
ADS8515I	±3	16	87	-40°C ~ 85°C	SSOP-28	DB	ADS8515IDB	チューブ、50
							ADS8515IDBR	テープ・リール、2000

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある、「追補：パッケージ・オプション」を参照するか、またはwww.tij.co.jpにあるTIのWebサイトを参照してください。

絶対最大定格⁽¹⁾

		ADS8515
アナログ入力	V_{IN}	±25V
	CAP	AGND2 - 0.3 V ~ + V_{ANA} + 0.3 V
	REF	AGND2へ永久接続、 V_{ANA} へ瞬時短絡
グラウンド間の電位差	DGND, AGND1, AGND2	±0.3 V
	V_{ANA}	6 V
	$V_{DIG} \sim V_{ANA}$	0.3 V
	V_{DIG}	6 V
デジタル入力		-0.3V ~ + V_{DIG} + 0.3V
最大接合温度		165°C
消費電力		825 mW
リード温度（半田付け10秒）		300°C

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態でも長時間動作させると、デバイスの信頼性が低下します。これはストレスの定格のみについて示しており、本製品の仕様を超える状態での機能動作を意味するものではありません。

(2) 電圧値はすべてネットワーク・グラウンド端子を基準としています。

電気的特性

$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{DIG} = V_{ANA} = 5\text{V}$ 、内部リファレンス使用（特に記述のない限り）

パラメータ	テスト条件	ADS8515I			ADS8515IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能				16			16	Bits
アナログ入力								
電圧範囲			±10			±10		V
インピーダンス			8.885			8.885		kΩ
入力容量			75			75		pF
スループット速度								
変換サイクル時間	Acquire and convert			4		4		μs
スループット・レート		250			250			kHz
DC精度								
INL	積分直線性誤差	-3		3	-2		2	LSB ⁽¹⁾
DNL	微分直線性誤差	-1		2	-1		1	LSB ⁽¹⁾
	ノー・ミッシング・コード		16			16		Bits
	トランジション・ノイズ ⁽²⁾		0.67			0.67		LSB

(1) LSBは「least significant bit」の略で、最下位ビットを表します。16bit、±10V入力の場合、ADS8515では、1LSBは305μVです。

(2) ノイズの実効値(Typ)は、トランジションと温度がワースト・ケースの値です。

電気的特性

$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンス使用 (特に記述のない限り)

パラメータ	テスト条件	ADS8515I			ADS8515IB			単位	
		MIN	TYP	MAX	MIN	TYP	MAX		
フルスケール誤差 ⁽³⁾⁽⁴⁾	内部リファレンス	-0.5		0.5	-0.25		0.25	%FSR	
フルスケール誤差ドリフト	内部リファレンス		± 7			± 7		ppm/ $^\circ\text{C}$	
フルスケール誤差 ⁽³⁾⁽⁴⁾	外部4.096Vリファレンス	-0.25		0.25	-0.1		0.1	%FSR	
フルスケール誤差ドリフト	外部4.096Vリファレンス		± 2			± 2		ppm/ $^\circ\text{C}$	
バイポーラ・ゼロ誤差 ⁽⁵⁾		-4		4	-2		2	mV	
バイポーラ・ゼロ誤差ドリフト			± 2			± 2		ppm/ $^\circ\text{C}$	
電源感度 ($V_{\text{DIG}} = V_{\text{ANA}} = V_{\text{D}}$)	+4.75 V < V_{D} < +5.25 V	-8		8	-8		8	LSB	
AC精度									
SFDR	スプリアス・フリー・ダイナミック・レンジ	$f_i = 20\text{kHz}$	95	102		97	102	dB ⁽⁵⁾	
THD	全高調波歪み	$f_i = 20\text{kHz}$		-100	-94		-100	-96	dB
SINAD	信号対(ノイズ + 歪み)	$f_i = 20\text{kHz}$	87	91		89	91	dB	
		-60-dB Input		30		32		dB	
SNR	信号対ノイズ比 フルパワー帯域幅 ⁽⁶⁾	$f_i = 20\text{kHz}$	88	92		90	92	dB	
				500		500		kHz	
サンプリング・ダイナミック									
	アパーチャ遅延			5		5		ns	
	トランジェント応答	フルスケール・ステップ			2		2	μs	
	過電圧復帰 ⁽⁷⁾			150		150		ns	
リファレンス電圧									
	内部リファレンス電圧		4.076	4.096	4.116	4.076	4.096	4.116	V
	内部リファレンス出力電流 (外部バッファ使用のこと)			1			1	μA	
	内部リファレンスドリフト			8			8	ppm/ $^\circ\text{C}$	
	直線性仕様を満たす外部 リファレンス電圧範囲		3.9	4.096	4.2	3.9	4.096	4.2	V
	外部リファレンスからの流入電流	外部4.096Vリファレンス			100			100	μA
デジタル入力									
	ロジック・レベル								
V_{IL}	“L” レベル入力電圧	$V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$	-0.3		0.8	-0.3	$0.35 \cdot V_{\text{DIG}}$	V	
V_{IH}	“H” レベル入力電圧	$V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$	2.0		$V_{\text{DIG}} + 0.3\text{V}$	$0.65 \cdot V_{\text{DIG}}$	$V_{\text{DIG}} + 0.3\text{V}$	V	
I_{IL}	“L” レベル入力電流	$V_{\text{IL}} = 0\text{V}$			± 10		± 10	μA	
I_{IH}	“H” レベル入力電流	$V_{\text{IH}} = 5\text{V}$			± 10		± 10	μA	
デジタル出力									
	データ・フォーマット (パラレル16ビット)								
	データ・コード (2の補数バイナリ)								
V_{OL}	“L” レベル出力電圧	$I_{\text{SINK}} = 1.6\text{mA}$			0.4		0.4	V	
V_{OH}	“H” レベル出力電圧	$I_{\text{SOURCE}} = 500\mu\text{A}$			$0.8 \cdot V_{\text{DIG}}$		$0.8 \cdot V_{\text{DIG}}$	V	
	リーク電流	ハイ・インピーダンス時 $V_{\text{OUT}} = 0\text{V} \sim V_{\text{DIG}}$			± 5		± 5	μA	
	出力容量	ハイ・インピーダンス時			15		15	pF	
デジタル・タイミング									
	バス・アクセス・タイミング				83		83	ns	
	バス解放タイミング				83		83	ns	

(3) 図25 (a) に示す抵抗値で測定。外部ポテンショメータによりゼロに調整。

(4) フルスケール誤差は、入力が最小値コードから最大値コードに変化したときの-フルスケール、または+フルスケールの理論値に対する偏差のワースト・ケースであり、変化した電圧 (フルスケール・レンジではなく) で除算し、オフセットによる誤差が含まれます。

(5) dB表示は、すべてフルスケールの $\pm 10\text{V}$ 入力を基準としています。

(6) フルパワー帯域幅は、フルスケール入力において、信号対(ノイズ + 歪み)が60dBに低下する時、もしくは精度が10ビットに低下する時の周波数として規定されています。

(7) $2 \times \text{FS}$ の入力過電圧を印加後、規定の特性に復帰するまでの時間。

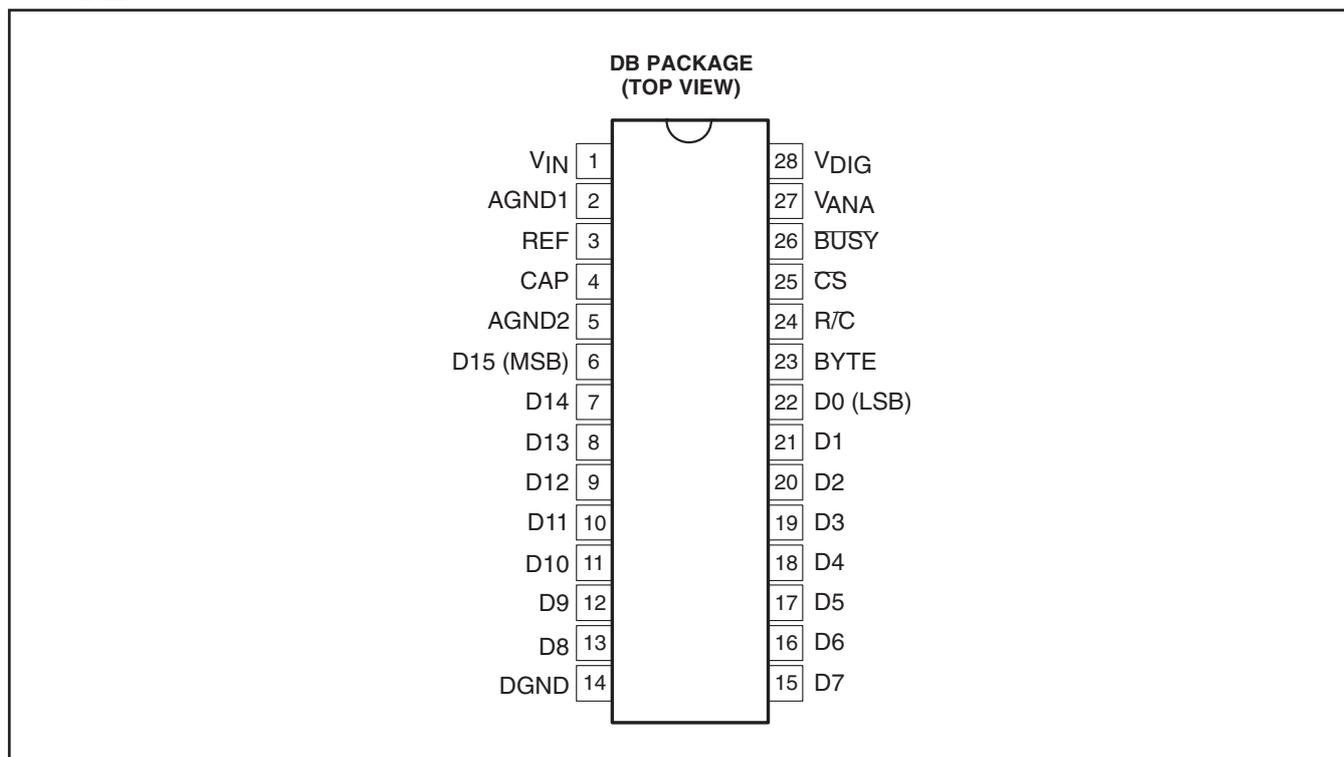
電気的特性

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンス使用 (特に記述のない限り)

パラメータ	テスト条件	ADS8515I			ADS8515IB			単位						
		MIN	TYP	MAX	MIN	TYP	MAX							
電源														
V_{DIG}	デジタル電源電圧	1.65			5.25			1.65	5.25	V				
V_{ANA}	アナログ電源電圧	4.75			5			4.75	5	5.25	V			
I_{DIG}	デジタル電源電流				0.1			1			mA			
I_{ANA}	アナログ電源電流	20			25			20			25	mA		
	消費電力	$f_s = 250\text{kHz}$			100			125			100	125	mW	
動作温度範囲														
	規定	-40			85			-40			85			$^{\circ}\text{C}$
	ディレーティング ⁽⁸⁾	-55			125			-55			125			$^{\circ}\text{C}$
	ストレージ	-65			150			-65			150			$^{\circ}\text{C}$
熱抵抗 (θ_{JA})														
	SSOP	67			67			67			$^{\circ}\text{C}/\text{W}$			

(8) 内部リファレンスは産業用温度範囲 ($-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$) 外では動作を開始しないことがあります。その場合、外部リファレンスを使用することを推奨します。

ピン配置



ピン構成

端子		デジタル 入出力	説明
名称	ピン 番号		
AGND1	2		アナログ・グラウンド。内部のグラウンド基準点として使用します。
AGND2	5		アナログ・グラウンド。
BUSY	26	O	$\overline{\text{BUSY}}$ は変換の開始で“Low”になり、変換が完了してデジタル出力が更新されるまで“Low”のままです。
BYTE	23	I	上位8ビット (low) あるいは下位8ビット (high) を選択します。
CAP	4		リファレンス・バッファ用コンデンサ。グラウンドへ2.2 μ Fのタンタル・コンデンサを接続します。
$\overline{\text{CS}}$	25	I	$\overline{\text{R/C}}$ と内部でOR接続。 $\overline{\text{R/C}}$ が“Low”の場合、 $\overline{\text{CS}}$ の立ち下がりがエッジで新規の変換を開始します。
DGND	14		デジタル・グラウンド
D15 (MSB)	6	O	データ・ビット15。変換結果の最上位ビット (MSB)。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D14	7	O	データ・ビット14。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D13	8	O	データ・ビット13。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D12	9	O	データ・ビット12。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D11	10	O	データ・ビット11。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D10	11	O	データ・ビット10。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D9	12	O	データ・ビット9。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D8	13	O	データ・ビット8。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D7	15	O	データ・ビット7。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D6	16	O	データ・ビット6。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D5	17	O	データ・ビット5。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D4	18	O	データ・ビット4。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D3	19	O	データ・ビット3。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D2	20	O	データ・ビット2。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。
D1	21	O	データ・ビット1。 $\overline{\text{CS}}$ が“High”または $\overline{\text{R/C}}$ が“Low”のとき、ハイ・インピーダンスです。

ピン構成

D0 (LSB)	22	O	データ・ビット0。変換結果の最下位ビット(LSB)。 \overline{CS} が“High”または R/\overline{C} が“Low”のとき、ハイ・インピーダンスです。
R/\overline{C}	24	I	\overline{CS} が“Low”かつ \overline{BUSY} が“High”のとき、 R/\overline{C} の立ち下がりエッジで新規の変換を開始します。 \overline{CS} が“Low”のとき、 R/\overline{C} の立ち上がりエッジでパラレル出力をイネーブします。
REF	3		リファレンス入力/出力。グランドへ2.2 μ Fのタンタル・コンデンサを接続します。
V_{ANA}	27		アナログ電源入力。公称値+5V。0.1 μ Fのセラミックと10 μ Fのタンタル・コンデンサでグランドへデカップリングします。
V_{DIG}	28		デジタル電源入力。公称値+5V。27ピンに直に接続します。 V_{ANA} 以下であること。
V_{IN}	1		アナログ入力。図24参照。

代表的特性

全高調波歪み
対
入力周波数

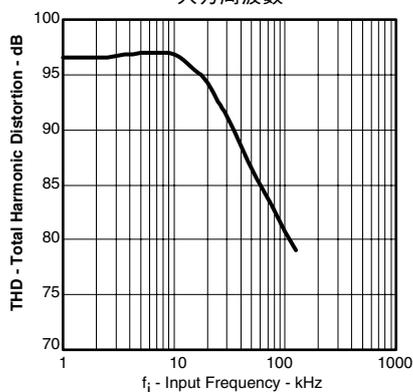


図 1

信号/ノイズ比
対
入力周波数

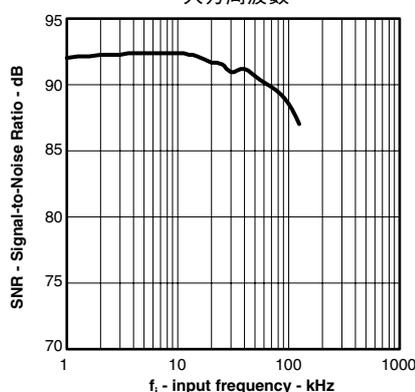


図 2

信号/(ノイズ+歪み)
対
入力周波数

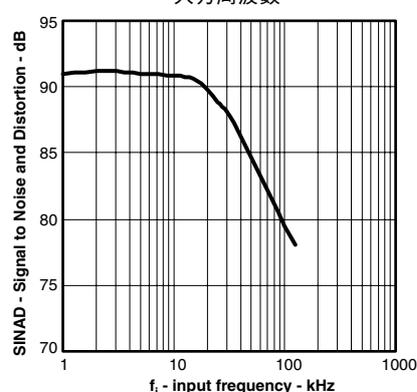


図 3

スプリアス・フリー・ダイナミック・レンジ
対
入力周波数

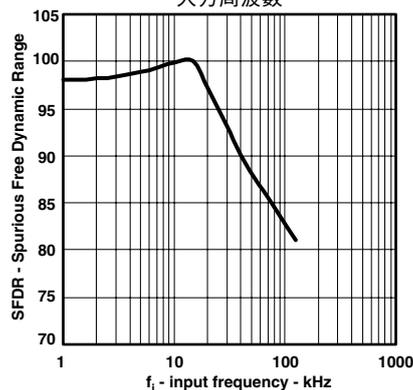


図 4

信号/ノイズ比
対
温度

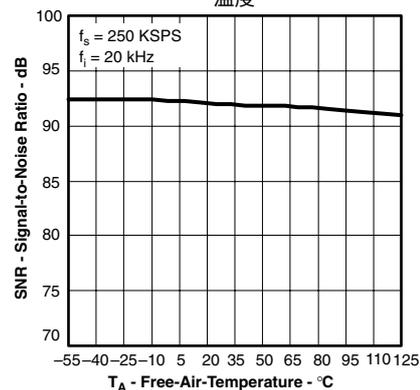


図 5

信号/(ノイズ+歪み)
対
温度

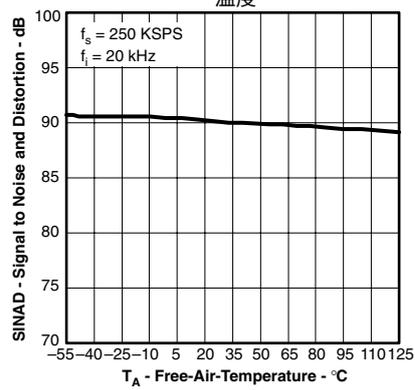


図 6

代表的特性

スプリアス・フリー・ダイナミック・レンジ
対
温度

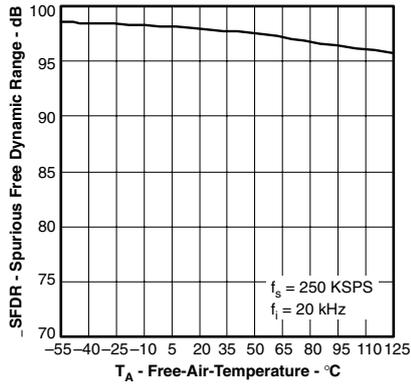


図 7

全高調波歪み 対 温度

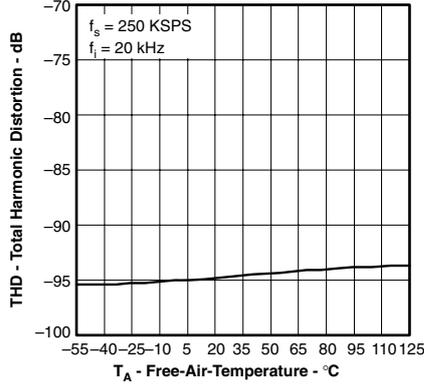


図 8

内部リファレンス電圧 対 温度

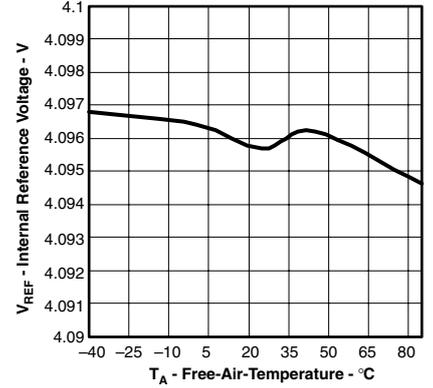


図 9

バイポーラ・ゼロ誤差
対
温度

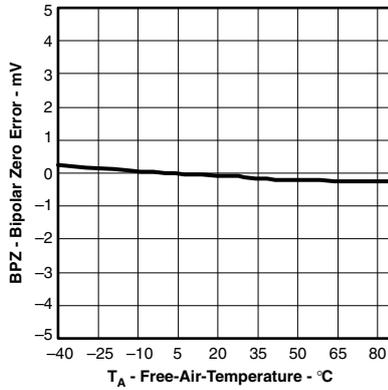


図 10

負フルスケール誤差
対
温度

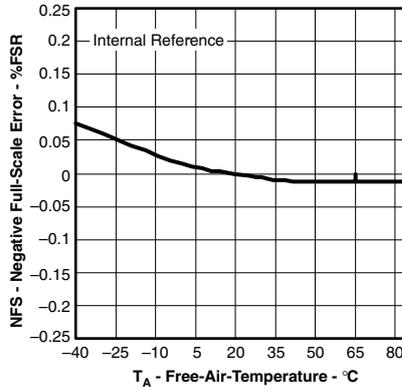


図 11

負フルスケール誤差
対
温度

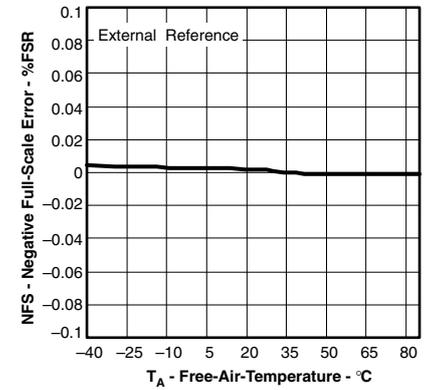


図 12

正フルスケール誤差
対
温度

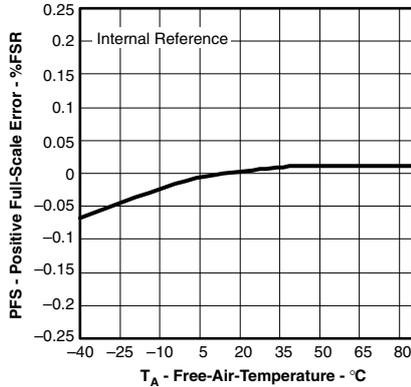


図 13

正フルスケール誤差
対
温度

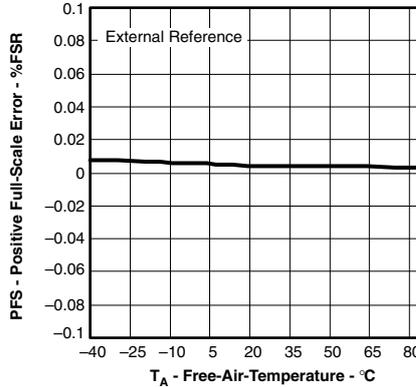


図 14

電源電流 対 温度

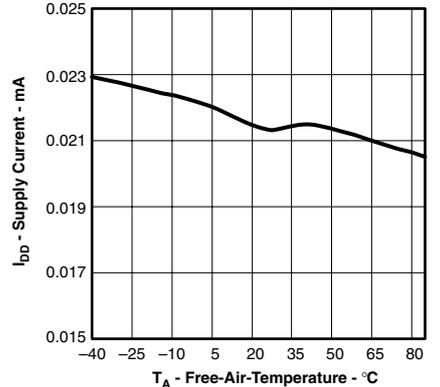


図 15

代表的特性

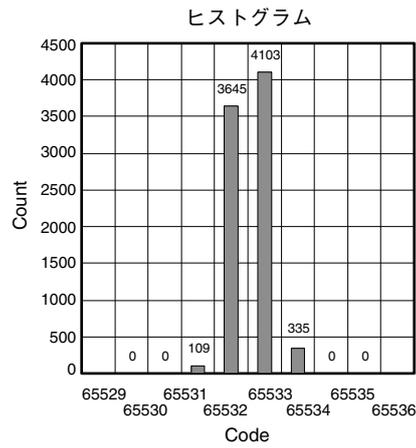


図 16

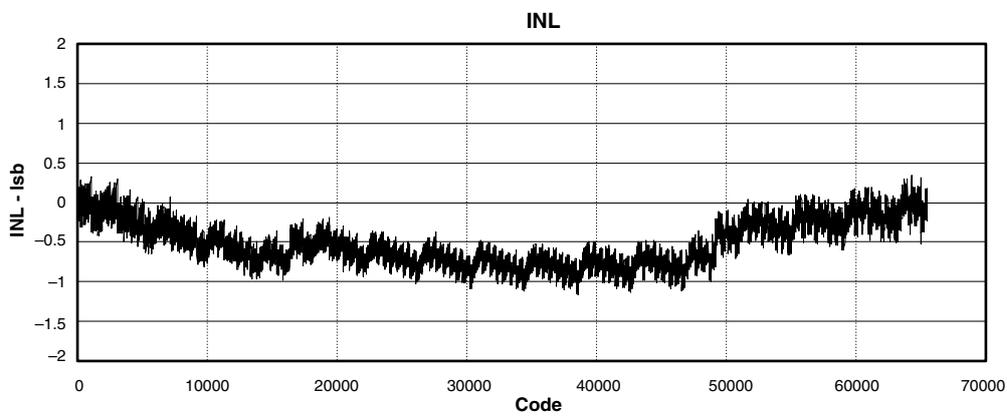


図 17

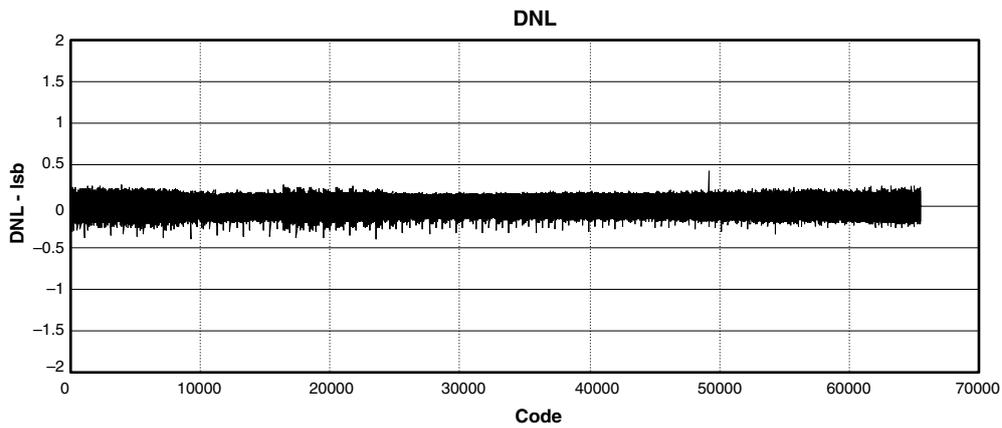


図 18

基本動作

図19にADS8515がパラレル・データ出力動作をする基本回路を示します。R/C(24ピン)を40ns以上“Low”にすると、変換を開始します。そしてBUSY(26ピン)が“Low”になり、変換が完了し出力レジスタを更新するまでBUSYを“Low”に保持します。データは2の補数バイナリ・フォーマットで出力し、6ピンがMSBです。BUSYの立ち上がりエッジを、データのラッチに使用する事ができます。

ADS8515は変換終了時に入力信号のトラッキングを始めます。変換コマンドの間隔を4μs確保すると、信号を正確にアクイジションすることができます。

変換の開始

CS(25ピン)とR/C(24ピン)の両方を最低40nsの間“Low”にすると、直ちにADS8515のサンプル/ホールドがホールド状態になり、変換“n”を開始します。BUSY(26ピン)が“Low”になり、変換“n”が完了して内部の出力レジスタが更新されるまでBUSYの“Low”が保持されます。

ADS8515は変換の終わりに入力信号のトラッキングを始めるので、変換コマンドの間隔を4μs確保すると、信号の変化に正確に追従したアクイジションとすることができます。CS, R/CおよびBUSYの各状態については表1を、タイミング図は図21、図22、および図23を参照してください。

CSとR/Cは内部でOR接続されておりレベル・トリガーとなっていますので、変換を開始する際、どちらの入力が先に“Low”になるかという条件はありません。しかし、CSあるいはR/Cにより変換“n”を開始しようとする時、タイミングの重要な入力を開始タイミングを決める入力よりも少なくとも10ns先行させる必要があります。

制御端子の数を少なくするには、CSを“Low”に固定し、R/Cをリードおよび変換モードの制御に使用することができます。R/Cが“High”になると、パラレル出力は常にアクティブになります。以上については、「データの読み取り」項を参照してください。

CS	R/C	BUSY	動作
1	X	X	なし。データ・バスはハイ・インピーダンス状態。
↓	0	1	変換“n”の開始。データ・バスはハイ・インピーダンス状態のまま。
0	↓	1	変換“n”の開始。データ・バスはハイ・インピーダンス状態に入る。
0	1	↑	変換“n”の終了。変換“n”の有効データがデータ・バス上にある。
↓	1	1	変換“n”の有効データがあり、データ・バスをイネーブルにする。
↓	1	0	変換“n-1” ⁽¹⁾ の有効データがあり、データ・バスをイネーブルにする。変換“n”は進行中。
0	↑	0	変換“n-1” ⁽¹⁾ の有効データがあり、データ・バスをイネーブルにする。変換“n”は進行中。
0	0	↑	新信号を収集せずに新しい変換を開始。データは無効。BUSYが“High”になるとき、CSおよびR/Cの両方あるいは一方が“High”であること。
X	X	0	変換“n”が進行中。

表 1. リードおよび変換に関する制御ライン機能

(1) 変換“n-1”からの有効データに関する制約については、図21および図22を参照。

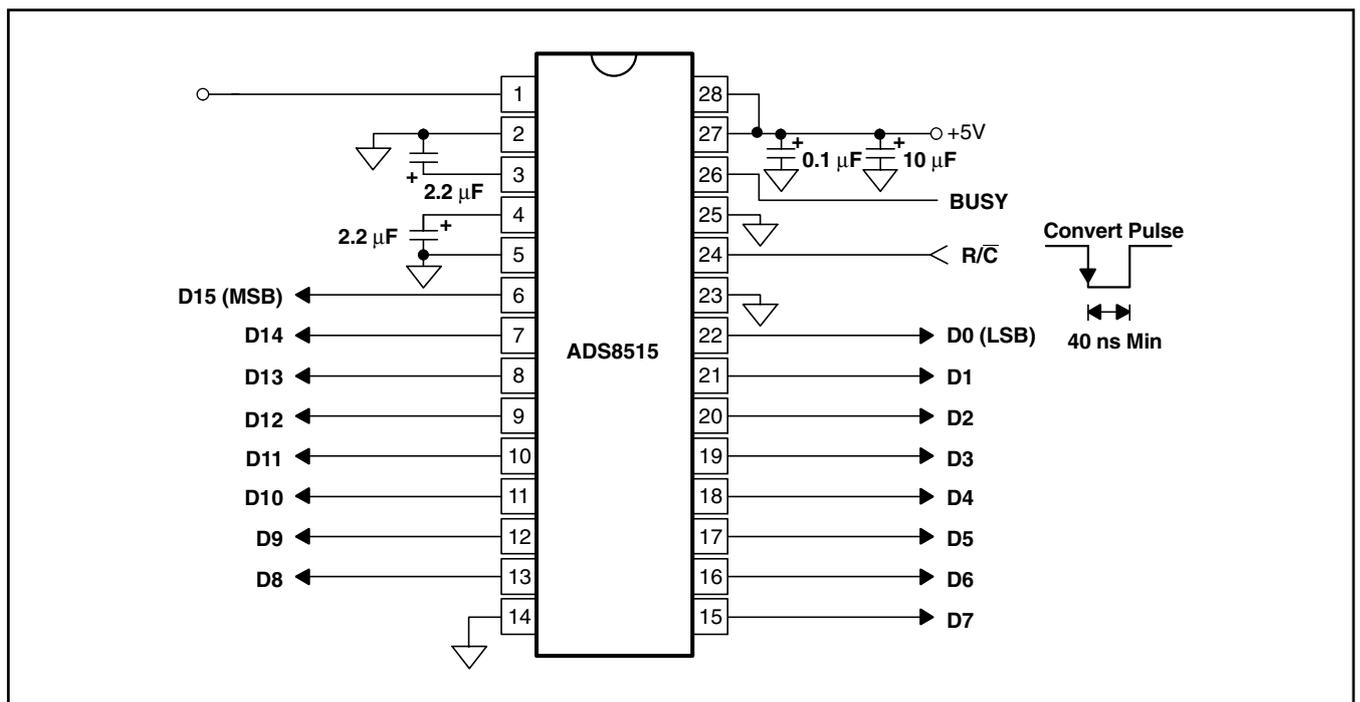


図 19. 基本動作

解 説	アナログ入力	デジタル出力は、2の補数バイナリ	
		バイナリ・コード	ヘキサ・コード
フルスケール範囲	±10 V		
最下位ビット (LSB)	305 μV		
フルスケール (10V-1LSB)	9.999695 V	0111 1111 1111 1111	7FFF
ミッドスケール	0 V	0000 0000 0000 0000	0000
ミッドスケールの1LSB下	-305 μV	1111 1111 1111 1111	FFFF
-フルスケール	-10V	1000 0000 0000 0000	8000

表 2. 理想入力電圧と出力コード

データの読み取り

ADS8515は、2の補数バイナリのデータ出力フォーマットで、フルあるいはバイト単位読み取りの平行データ出力します。平行データ出力は、R/C (24ピン)が“High”かつCS (25ピン)が“Low”のときにアクティブです。CSとR/Cの他の組み合わせでは、すべて平行出力はトライ・ステートになります。有効な変換データは、フル・平行の16ビット・ワードまたは2個の8ビット・バイトで、6~13ピンおよび15~22ピンにて読み取ることができます。また、BYTE (23ピン)をトグルすると、1変換サイクル内で2バイトを読み取ることができます。理想的な出力コードについては表2を、BYTEの状態によるビット・ロケーションについては図20を参照してください。

平行出力 (変換後)

変換“n”が完了して出力レジスタが更新された後、BUSY (26ピン)が“High”になります。このとき、変換“n”の有効データは、D15~D0 (6~13および15~22ピン)で得られます。BUSYの“High”になるのを利用してデータをラッチすることができます。以上のタイミング仕様については、表3と図21、図22、および図23を参照してください。

平行出力 (変換中)

変換“n”が開始された後、変換“n-1”の有効なデータを読み取ることができます。このデータは変換“n”の開始から最大 t_v まで有効です。変換“n”の開始の t_v 後からBUSY (26ピン)が“High”になるまでの間、データの読み取りを行なってはいけません。これは、無効データを読み取ることになります。以上のタイミング仕様については、表3と図21、図22、および図23を参照してください。

注意： 最高の性能を得るには、変換中にデータを読み取らないで下さい。非同期データ伝送のスイッチング・ノイズによりデジタル・フィードスルーが生じ、コンバータの性能が低下します。

CSを“Low”に接続しながら、R/Cの立ち下がりエッジを変換開始に使用し、R/Cの立ち上がりコンバータの出力モードのイネーブルに使用すると、制御ラインの数を低減することができます。これについては図21をご覧ください。

記号	説 明	MIN	TYP	MAX	単位
t_{w1}	変換開始パルス幅	40			ns
t_a	R/C “Low” 後の有効データアクセス時間		0.8	1.2	μs
t_{pd}	R/C “Low” からBUSY “Low” までの伝播遅延時間		6	20	ns
t_{w2}	BUSY “Low” パルス幅			2	μs
t_{d1}	変換終了からBUSYの立ち上がりまでの遅延時間		5		ns
t_{d2}	アパーチャ遅延時間		5		ns
t_{conv}	変換時間			2	μs
t_{acq}	アキュイジション時間	2			μs
t_{dis}	バス・ディスエーブル時間	10	15	83	ns
t_{d3}	データ有効からBUSYの立ち上がりまでの遅延時間	35	50		ns
t_v	R/C “Low” 後に先のデータが有効である時間	1.5	2		μs
$t_{conv} + t_{acq}$	スループット時間			4	μs
t_{su}	セットアップ時間、R/CとCSの関係	10			ns
t_c	コンバージョン・サイクル・タイム	4			μs
t_{en}	バス・イネーブル時間	10	15	30	ns
t_{d4}	BYTE遅延時間	10	15	30	ns

表 3. 変換タイミング

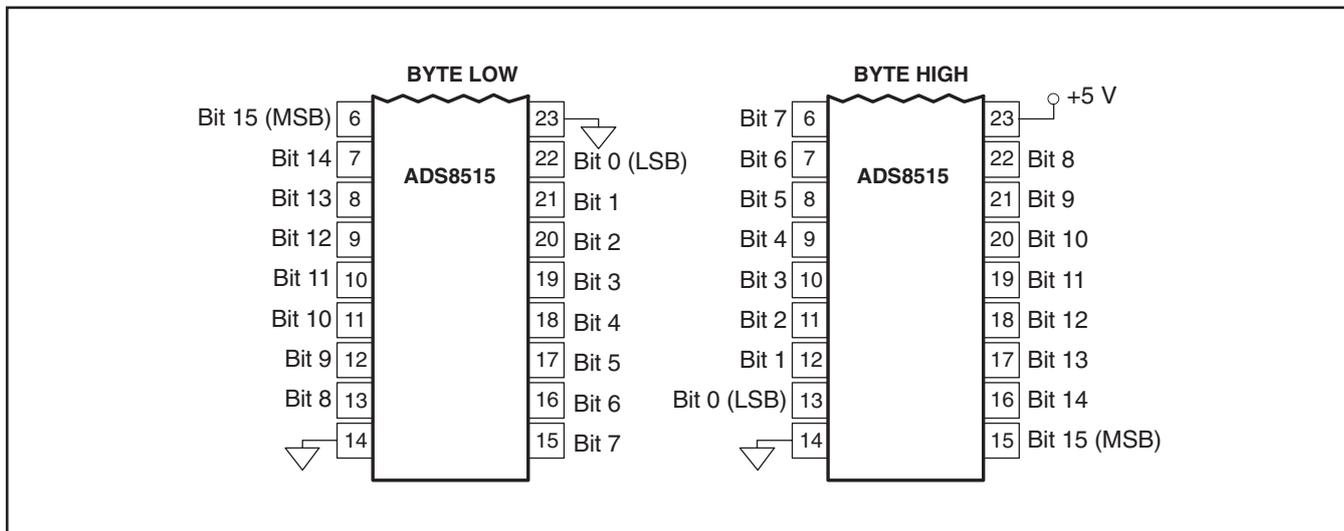


図 20. BYTE (23ピン)の状態に対するビット・ロケーション

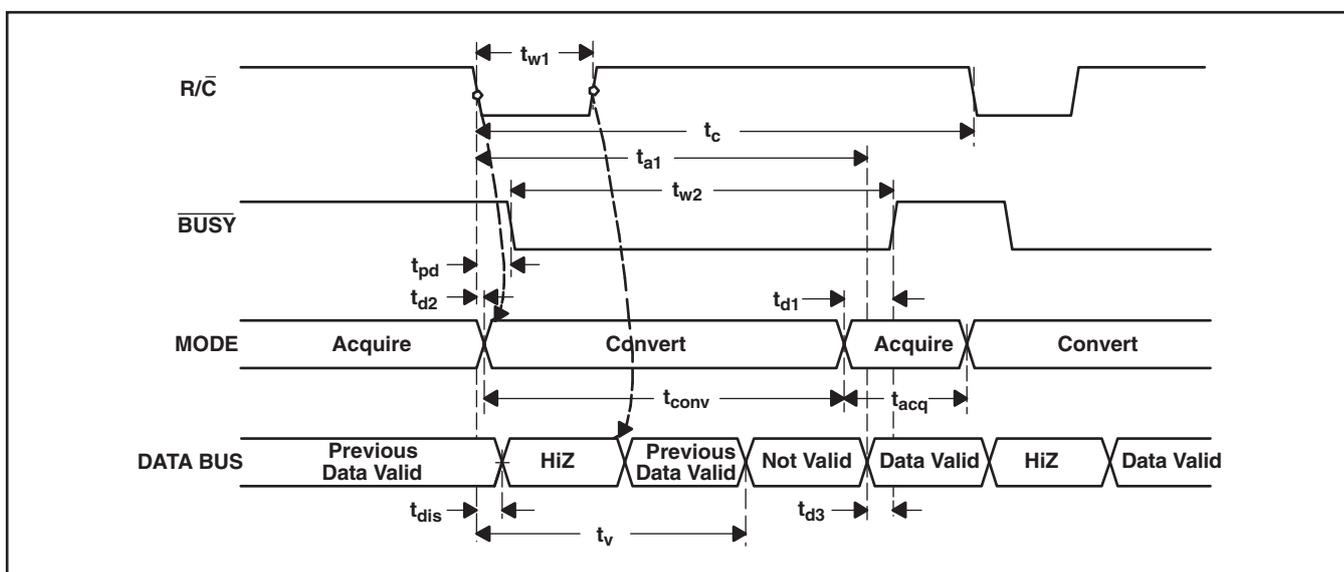


図 21. 変換後の出力イネーブルの変換タイミング (\overline{CS} を“Low”に固定)

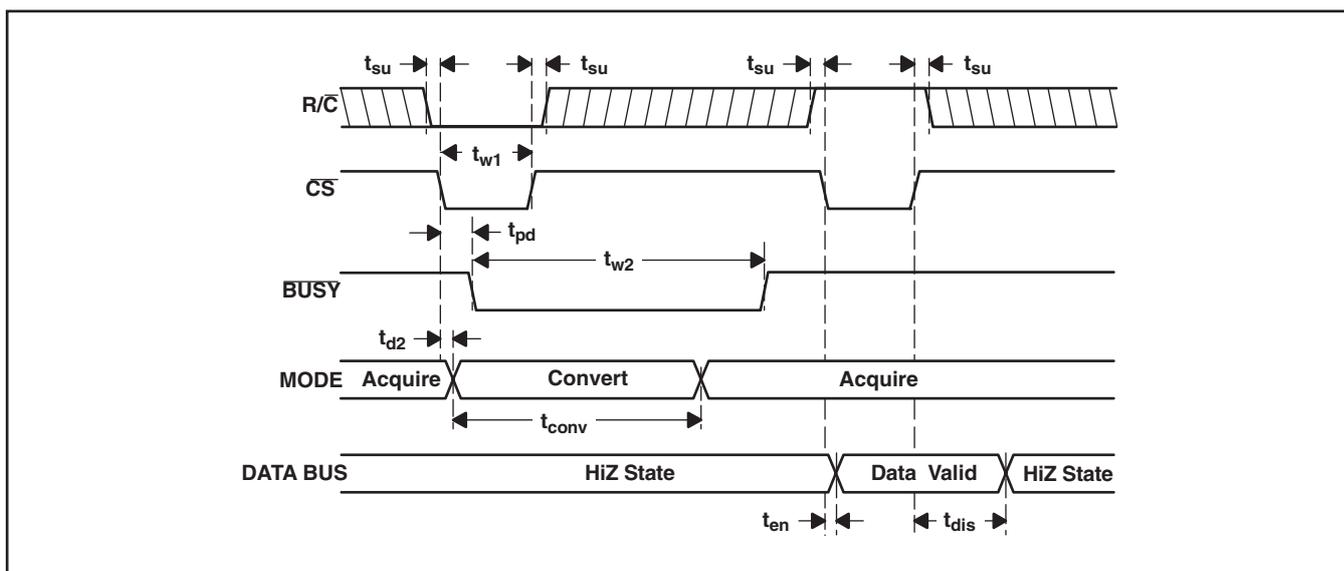


図 22. \overline{CS} を使用する場合の変換およびリード制御のタイミング

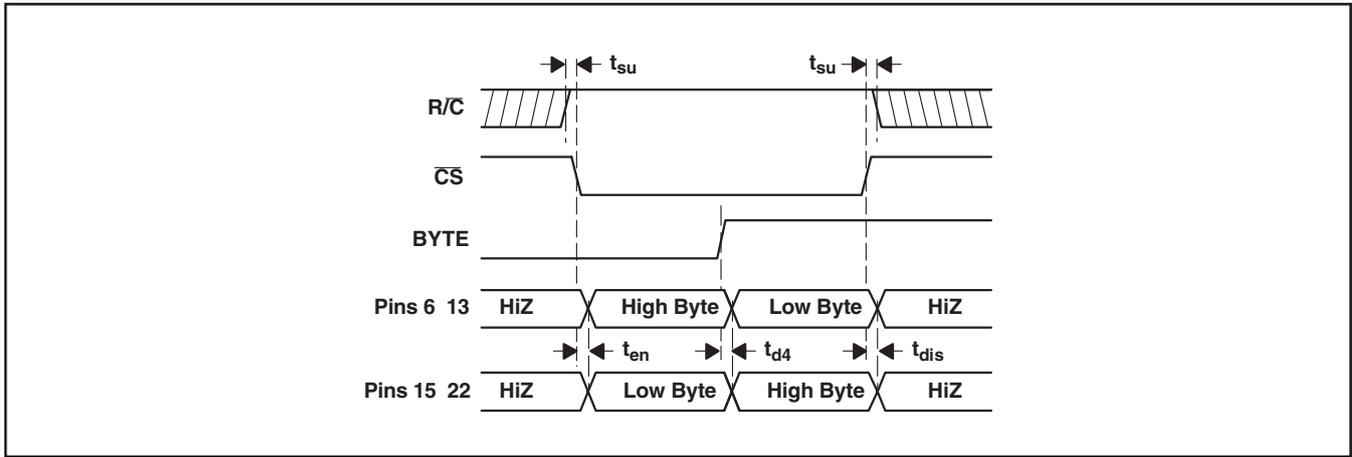


図 23. データ・バスの制御に \overline{CS} とBYTEを使用

ADCリセット

ADS8515のADCリセット機能を使用して、現行の変換サイクルを終了することができます。BUSYが“Low”の間に R/\overline{C} を最低40nsの間“Low”にすると、ADCのリセットが開始されます。新しく変換を開始するには R/\overline{C} が“High”状態に戻し、次の変換を開始するために“Low”にする前に、新しいデータを収集するのに十分な時間(表3の t_c を参照)、 R/\overline{C} は“High”を保持する必要があります。BUSY信号を監視しないアプリケーションでは、システムの初期化シーケンスの一部としてADCリセット機能を実装することを推奨します。

入力範囲

ADS8515は標準の $\pm 10V$ 入力範囲を備えています。図25に、外部トリムが有る場合と無い場合のADS8515に必要な回路接続を示します。ADS8515のオフセットおよびフルスケール誤差の仕様は、図25 (b) に示す回路で試験および規定されています。フルスケール誤差には、+FSと-FSの両方で測定されたオフセットおよびゲイン誤差が含まれています。オフセットとゲインの調整については、本データシートの「キャリブレーション」節で解説しております。

オフセットとゲインは、単電源の外部トリムが可能であるようにデバイス内部で調整されています。外付け抵抗はこの調整分を補償します。また、オフセットとゲインがソフトウェアで修正される場合、この抵抗は外すことができます（「キャリブレーション」節を参照）。

入力インピーダンスの公称値6.35k Ω は、本製品データシートの始めのページで示す内部抵抗網の組み合わせから得られています。この入力抵抗分圧網により、最小 $\pm 25V$ の過電圧保護が達成されています。外付け回路で1%精度の抵抗を使用すると、コンバータの精度およびドリフト特性が悪化しません。1%精度の抵抗は内部抵抗に対してほとんど影響せず、それ以上の精度は必要ありません。

入力信号はAGND1を基準とする必要があります。それによって、アナログ設計にありがちなグラウンド・ループ問題が最小限に抑えられます。アナログ信号は低インピーダンス信号源によってドライブします。OPA627やOPA132を使用した標準的なドライブ回路を図24に示します。

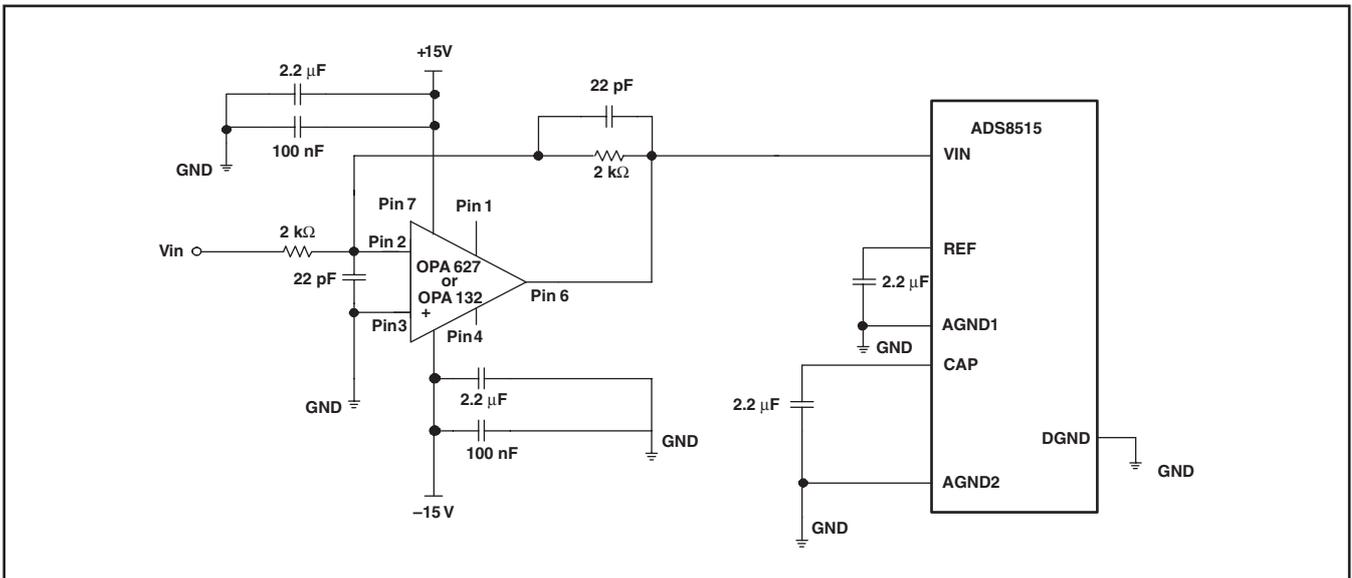


図 24. 標準的なドライブ回路($\pm 10V$, 外部トリムなし)

アプリケーション情報

キャリブレーション

ADS8515のゲインは、ソフトウェアでトリムすることができます。最適な特性を実現するには、数回の反復調整が必要になります。

ハードウェア・キャリブレーション

ADS8515のゲインをトリムするため図25(a)に示す抵抗と可変抵抗から成る回路を実装します。ADS8515のゲインの調整範囲はおおよそ $\pm 100\text{mV}$ になります。

ソフトウェア・キャリブレーション

ADS8515のオフセットとゲインはソフトウェアで校正することができます。その回路接続は図25(b)をご覧ください。

基準電圧

ADS8515は、内部の4.096Vリファレンスあるいは外部リファレンスで動作できます。外部リファレンスを5ピンに供給すると、内部リファレンスはバイパスされます。REF端子におけるリファレンスは内部でバッファされ、CAP端子(4ピン)に出力されます。

内部リファレンスには $8\text{ppm}/^\circ\text{C}$ (Typ)のドリフトがあり、フルスケール誤差(低グレード版で $\text{FSE} = \pm 0.5\%$ 、高グレード版で $\text{FSE} = \pm 0.25\%$)のおおよそ20%を占めています。

REF端子

REF端子(3ピン)は外部リファレンスには入力であり、内部4.096V基準電圧には出力になります。REF端子には、 $2.2\mu\text{F}$ の

コンデンサをできるだけ近くに接続します。このコンデンサとREFの出力抵抗によりローパス・フィルタが形成され、リファレンスのノイズ帯域を制限します。より小さい値のコンデンサを使用した場合、より多くのノイズがリファレンスに乗り、SNRおよびSINADが低下します。REF端子は、外部のACあるいはDC負荷のドライブには使用してはなりません。

外部リファレンスの範囲は3.9Vから4.2Vであり、これによって実際のLSBサイズが定まります。リファレンス電圧を高くすると、コンバータのフルスケール範囲およびLSBサイズが大きくなり、SNRを改善することができます。

CAP端子

CAP端子(4ピン)は内部リファレンス・バッファの出力です。CAP端子には $2.2\mu\text{F}$ のコンデンサをできるだけ近くに接続して、変換サイクルの間CDACに最適なスイッチング電流を供給し、また、内部バッファ出力の補償を行います。 $1\mu\text{F}$ より小さいコンデンサを使用すると、出力バッファに発振が生じ、さらにCDACへの充電電荷が不足します。 $2.2\mu\text{F}$ より大きな値のコンデンサは、特性の改善にほとんど寄与しません。これら補償用コンデンサのESR(等価直列抵抗)も重要です。全体のESRは 3Ω より低くしてください。

バッファの出力は、最大2mAの電流をDC負荷にドライブする能力があります。しかし、CAP端子におけるあらゆる外部負荷によりADS8515の直線性は劣化します。外部バッファを使用すると、内部リファレンスはより大きなDC負荷およびAC負荷に使用することができます。CAP端子の出力電圧でAC負荷を直接ドライブしてはなりません。これを行うと、コンバータの性能低下が生じます。

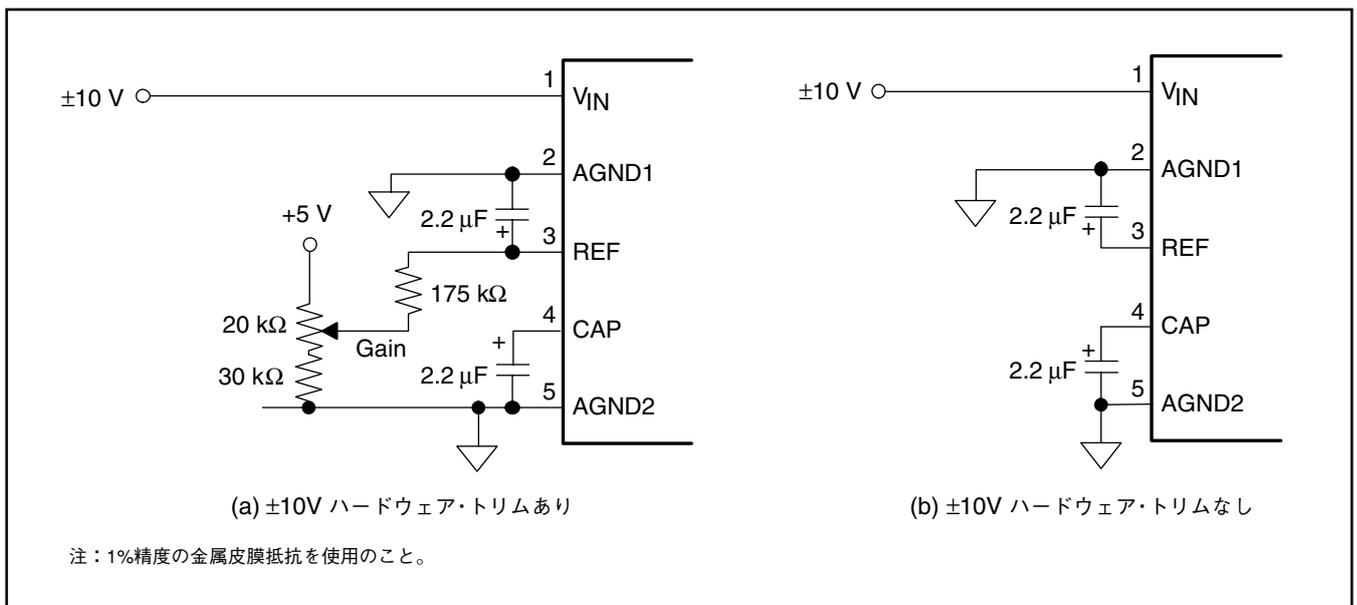


図 25. ソフトウェア・トリミング用の回路図

レイアウト 電源

最適特性を実現するため、アナログおよびデジタルの電源端子は同一の+5V電源に接続し、アナログおよびデジタルのグラウンドは相互に接続します。電気的仕様で述べたように、ADS8515はその電力の90%をアナログ回路で消費します。したがって、ADS8515はアナログ部品として見なすべきです。

ADコンバータ用の+5V電源は、システムのデジタル・ロジックに使用される+5V電源から分離します。V_{DIG} (28ピン)を直接にデジタル用電源に接続すると、デジタル・ロジックからのスイッチング・ノイズによりコンバータの性能が低下します。最高の性能を得るには、アナログ・シグナル・コンディショニング以外に使用されているアナログ電源から+5V電源を作ります。+12Vや+15V電源がある場合は、単純な+5Vレギュレータが使用できます。勧められることはありませんが、デジタル電源からコンバータに電力を供給しなければならない場合は、その電源を適切にフィルタリングします。フィルタリングしたデジタル電源であれ、レギュレーションしたアナログ電源であれ、それを使用するときはV_{DIG}およびV_{ANA}を同一の+5V電源に接続します。

グラウンドの取り方

3本のグラウンド端子がADS8515にあります。DGNDはデジタル電源用のグラウンドです。AGND2はアナログ電源用グラウンドです。AGND1は、AD内部へのすべてのアナログ信号の基準となるグラウンドです。AGND1は電流誘起による電圧降下に対してより敏感であり、電源への最小抵抗の帰路がなければなりません。

ADのグラウンド端子は、すべてアナログ・グラウンドのプレーンに接続し、システムのデジタル・ロジック・グラウンドから分離して最適な性能を実現します。アナログおよびデジタル・グラウンドのプレーンは、ともに電源にできるだけ近い所でシステム・グラウンドに接続します。このように接続すると、電源グラウンドへの共通インピーダンスを経由して、デジタル・グラウンドのダイナミック電流がアナログ・グラウンドを変調するのを防止します。

シグナル・コンディショニング

多くのCMOS ADコンバータのサンプル・ホールド回路で使用されるFETスイッチは、オペアンプを発振に至らしめる非常に大量のチャージ・インジェクションを生じさせることがあります。ADS8515のFETスイッチは、他のCMOS ADコンバータのFETスイッチに比べ、電荷注入量は5%から10%に過ぎません。また、抵抗性のフロントエンド回路があり、注入されたあらゆる電荷が減衰されます。その結果、フロントエンドにおけるアンチ・エイリアシング・フィルタの要求条件が最小限度に緩和されます。アプリケーションにおいて信号を十分ドライブできるオペアンプならば、ADS8515をも十分にドライブできます。

また、ADS8515は抵抗によるフロントエンド回路により、±25Vの過電圧から保護されます。ほとんどの場合、このフロントエンドによって外部の入力保護回路が不要になります。

中間ラッチ

ADS8515の平行ポートはトライ・ステート出力ですが、変換中にもバスがアクティブであることが必要な場合は、中間ラッチを使用します。バスが変換中にアクティブでない場合、トライ・ステート出力を使用してADを同一バスの他の周辺装置から分離することができます。また、ADがデータ・バスの唯一の周辺装置である場合も、トライ・ステート出力が使用できます。

中間ラッチは、あらゆるモノリシックADコンバータに役立ちます。ADS8515の内部では、1LSB当り38μVです。平行ポートの高速スイッチング信号によるトランジェントは、AD出力がトライ・ステートの場合でもサブストレートを經由してアナログ回路と結合し、コンバータの性能劣化の原因になります。

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS8515IBDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8515IBDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8515IDB	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8515IDBG4	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8515IDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8515IDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

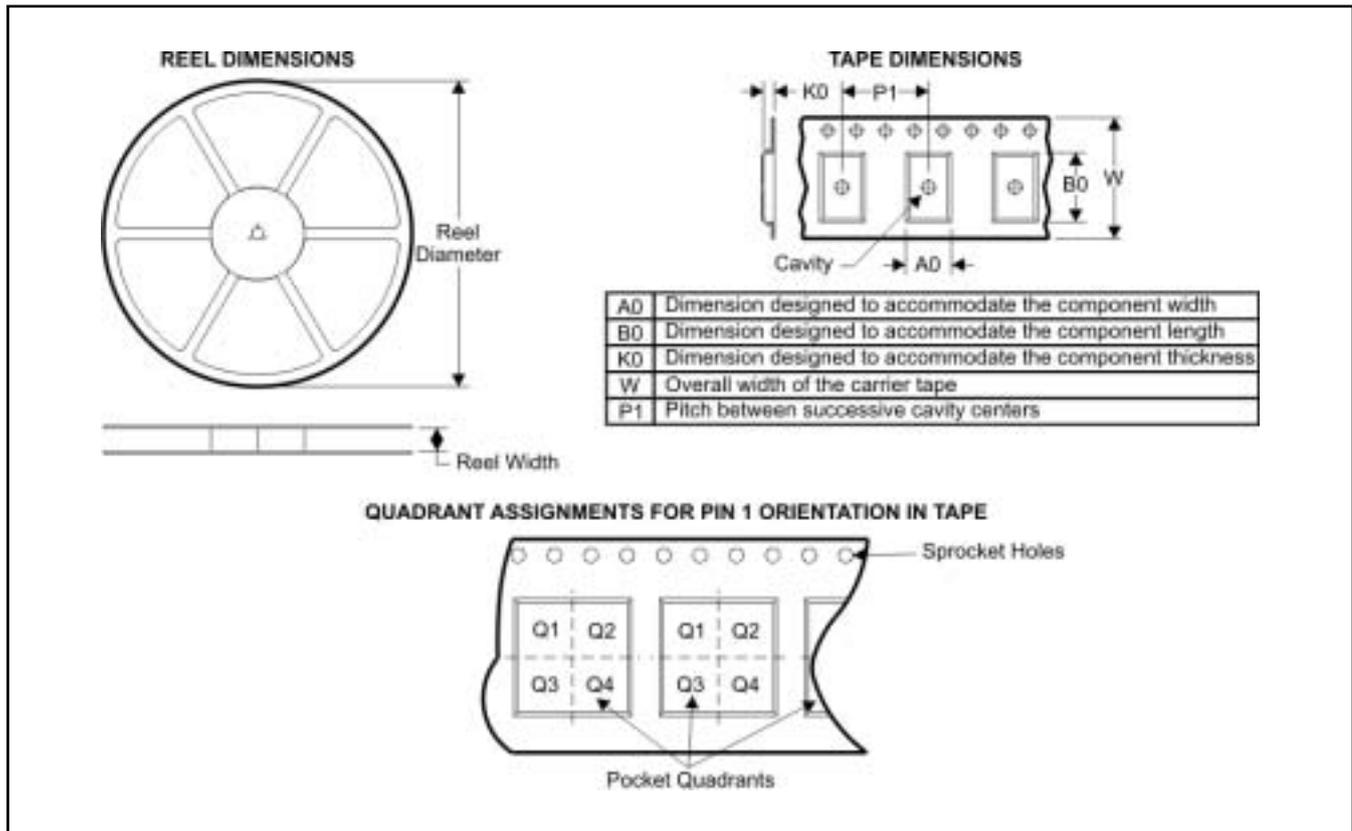
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

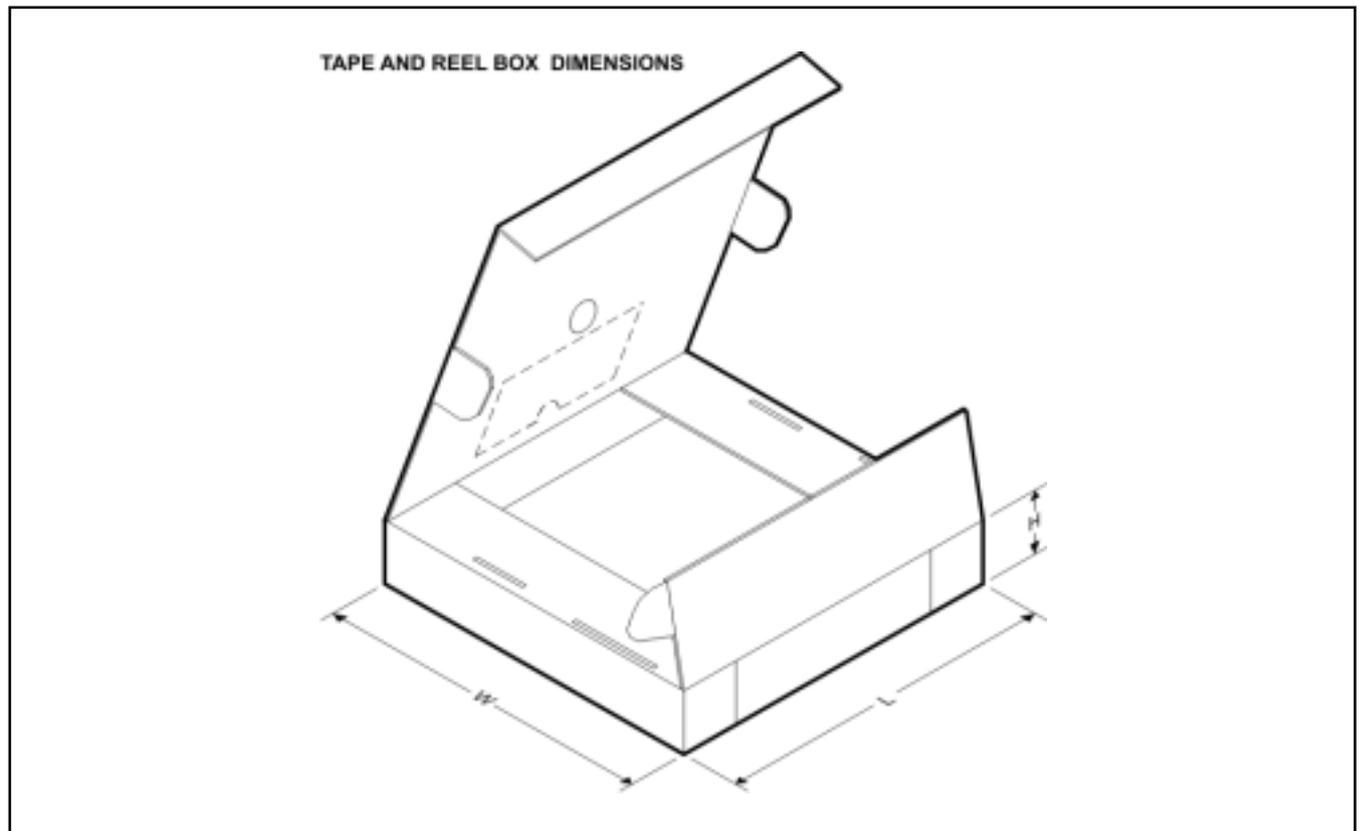
パッケージ・材料情報

テープおよびリール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8515IBDBR	DB	28	SITE 60	330	16	8.1	10.4	2.5	12	16	Q1
ADS8515IDBR	DB	28	SITE 60	330	16	8.2	10.5	2.5	12	16	Q1

パッケージ・マテリアル情報



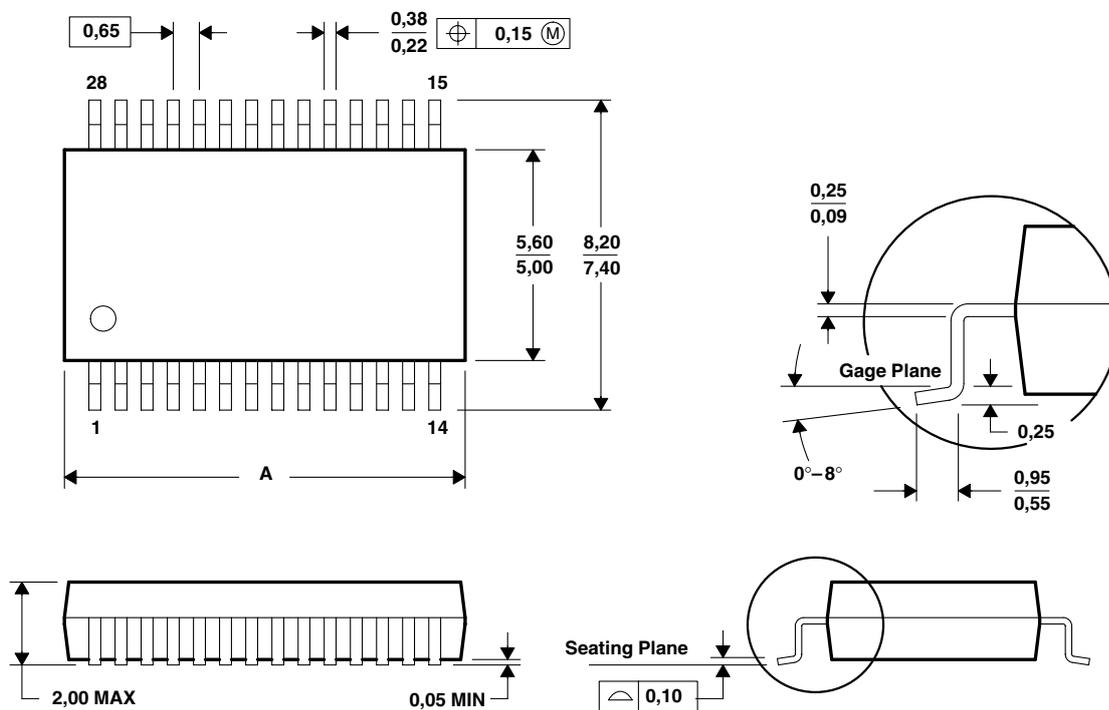
Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8515IBDBR	DB	28	SITE 60	346.0	346.0	33.0
ADS8515IDBR	DB	28	SITE 60	346.0	346.0	33.0

メカニカル・データ

DB (R-PDSO-G**)

28 PINS SHOWN

PLASTIC SMALL-OUTLINE



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディの寸法には、0,15を超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-150に準拠します。

(SLAS460)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上